

26.12.20.000

Утверждён

ИМЕС.467444.152РЭ-ЛУ

МОДУЛИ ВВОДА-ВЫВОДА DIC552, DIC553

Руководство по эксплуатации

ИМЕС.467444.152РЭ

Список обновлений и дополнений к документу

№ обновления	Краткое описание изменений	Наименование изделия	Дата
1.0	Начальная версия	DIC552, DIC553	Май 2022
1.1	Откорректировано обозначение модулей при заказе, добавлено Приложение А.	DIC552, DIC553	Август 2022
1.2	В соответствии с протоколами расчета надежности откорректированы значения MTBF в таблице 1 раздела 1.2. Откорректировано содержание, разделы 2.2, 3.1.1, в таблицу 3 раздела 1.4 добавлена информация об опции -COATED.	DIC552, DIC553	Октябрь 2022
1.3	Внесены исполнения с влагозащитным покрытием DIC552-01-COATED, DIC553-01-COATED (ранее была опция)	DIC552, DIC553	Май 2024

Содержание

Обозначения	6
Требования безопасности.....	7
Общие правила использования изделий.....	8
1 Описание и работа.....	9
1.1 Назначение	9
1.2 Технические характеристики	9
1.3 Условия эксплуатации	11
1.4 Варианты исполнения	12
1.5 Комплект поставки	12
1.6 Требования по безопасности.....	13
1.7 Маркировка	13
1.8 Упаковка.....	14
2 Устройство и работа модуля.....	15
2.1 Структурная схема	15
2.2 Описание мезонинов	17
2.2.1 Мезонин цифрового ввода-вывода MIC1003-03	18
2.2.2 Мезонин интерфейсов ИРПС MIC1004	20
2.2.3 Мезонин интерфейса МКИО MIC1007-01	22
2.2.4 Мезонин интерфейса CAN MIC1010-01	23
2.2.5 Мезонин интерфейсов RS485/422/232 MIC1011-01	25
2.2.6 Мезонин интерфейса ПК MIC1012-0X.....	27
2.2.7 Описание разъемов мезонинов и портов модуля	28
2.2.8 Описание интерфейсов связи с мезонинами	30
2.3 Карта памяти модуля.....	32
2.3.1 Регистровая модель пространства ввода-вывода.....	36
3 Использование по назначению	56
3.1 Подготовка изделия к использованию	56
3.1.1 Установка драйвера.....	56
3.1.2 Информация о видах опасных воздействий.....	56
3.1.3 Общие требования	56

3.1.4	Требование электростатической безопасности	57
3.2	Использование изделия	57
3.3	Техническое обслуживание	57
3.4	Ремонт	57
4	Транспортирование, распаковка, хранение.....	58
4.1	Транспортирование	58
4.2	Распаковка.....	58
4.3	Хранение.....	58
	Приложение А	59

Настоящее руководство по эксплуатации (далее руководство) предназначено для ознакомления с устройством, принципом работы и основными сведениями, необходимыми для ввода в эксплуатацию, использования по назначению и обслуживания изделий: «Модуль ввода-вывода DIC552», «Модуль ввода-вывода DIC553».

Обозначения



Осторожно, электрическое напряжение!

Этот знак и надпись предупреждают об опасностях, связанных с электрическими разрядами (> 60 В) при прикосновении к изделию или к его частям. Несоблюдение мер предосторожности, упомянутых или предписанных правилами, может подвергнуть опасности Вашу жизнь или здоровье, а также может привести к повреждению изделия.



ВНИМАНИЕ!

Изделие, чувствительное к воздействию статического электричества!

Этот знак и надпись сообщают о том, что изделие и его компоненты чувствительны к статическому электричеству, поэтому следует проявлять осторожность при обращении с ними и при проведении проверок, чтобы гарантировать целостность и работоспособность. См. также раздел, посвященный инструкциям по обращению с изделием и распаковке, приведенный ниже.



ВНИМАНИЕ!

Этот знак призван обратить Ваше внимание на те аспекты Руководства, неполное понимание или игнорирование которых может подвергнуть опасности Ваше здоровье или привести к повреждению изделия.



Примечание

Этим знаком отмечены фрагменты текста, которые следует внимательно прочитать.

Требования безопасности

Данные изделия ЗАО «НПФ «ДОЛОМАНТ» разработаны и испытаны с целью обеспечения соответствия требованиям электрической безопасности. Их конструкция предусматривает длительную безотказную работу. Срок службы изделий может значительно сократиться из-за неправильного обращения с ними при распаковке и установке. Таким образом, в интересах Вашей безопасности и для обеспечения правильной работы изделий Вам следует придерживаться приведенных ниже рекомендаций.

Правила безопасного обращения с электрическим напряжением



ВНИМАНИЕ!

Все работы с данными изделиями должны выполняться только персоналом с достаточной для этого квалификацией.



Осторожно, электрическое напряжение!

Перед установкой изделий, а также при подключении внешнего оборудования убедитесь в том, что сетевое питание отключено. Это относится также и к установке плат расширения.

В процессе установки, ремонта и обслуживания изделий существует серьезная опасность поражения электрическим током, поэтому всегда вынимайте из розетки шнур питания во время проведения работ. Это относится также и к другим подводящим питание кабелям.

Инструкции по обращению с изделиями



Изделия, чувствительные к воздействию статического электричества!

Изделия и их компоненты чувствительны к воздействию статического электричества. Поэтому для обеспечения сохранности и работоспособности при обращении с ними требуется особое внимание.

Не оставляйте изделия без защитной упаковки в нерабочем положении.

По возможности всегда работайте на рабочих местах с защитой от статического электричества. Если это невозможно, то пользователю необходимо снять с себя статический заряд перед тем, как прикоснуться к изделиям руками или инструментом. Это удобнее всего сделать, прикоснувшись к металлической части корпуса системы.

Общие правила использования изделий

Для сохранения гарантии изделия не должны подвергаться никаким переделкам и изменениям. Любые несанкционированные компанией ЗАО «НПФ «ДОЛОМАНТ» изменения и усовершенствования, кроме приведенных в настоящем Руководстве или полученных от службы технической поддержки ЗАО «НПФ «ДОЛОМАНТ» в виде набора инструкций по их выполнению, аннулируют гарантию.

Эти изделия должны устанавливаться и подключаться только к системам, отвечающим всем необходимым техническим и климатическим требованиям. Это относится и к диапазону рабочих температур изделий. Также следует учитывать температурные ограничения батарей, установленных на плате.

Выполняя все необходимые операции по установке и настройке, следуйте инструкциям только этого Руководства.

Сохраняйте оригинальную упаковку для хранения изделий в будущем или для транспортировки в гарантийном случае. В случае необходимости транспортировать или хранить изделие упакуйте его так же, как оно было упаковано при получении.

Проявляйте особую осторожность при распаковке и обращении с изделием. Действуйте в соответствии с инструкциями раздела 4.2 Распаковка.

Не допускается подключение внешнего оборудования, кабелей коммуникационных интерфейсов без отключения питания изделия и подключаемого внешнего оборудования.

1 Описание и работа

1.1 Назначение

Модули ввода-вывода DIC552 ИМЕС.467444.152 и DIC553 ИМЕС.467444.153 (далее модуль/модули) – универсальные модули ввода-вывода информации для работы на шине CompactPCI®. Модули создаются по мезонинной технологии и являются носителями с возможностью установки мезонинов с лицевым выводом. Функциональные возможности модулей определяют установленные мезонины (например: MIC1003-03, MIC1004-01, MIC1007-01, MIC1010-01, MIC1011-01, MIC1012-0X). Модули предназначены для использования в системах управления реального времени, контроля производства, сбора данных и т.п.

DIC552 – носитель мезонинов выполнен в стандарте CompactPCI® и обеспечивает размещение в конструктивах типа 3U. Модуль позволяет установить на себя до двух мезонинных плат стандартного размера.

DIC553 – носитель мезонинов выполнен в стандарте CompactPCI® и обеспечивает размещение в конструктивах типа 6U. Модуль позволяет установить на себя до четырех мезонинных плат стандартного размера.

Мезонины представляют собой функционально завершенные платы, обеспечивающие аналоговый или цифровой ввод/вывод. Исполнение мезонина не зависит от используемой системной шины компьютера, общение мезонина с модулем происходит с использованием последовательных и параллельных каналов связи (SPI, SPORT, UART и др.). Связь системной шины и каналов связи обеспечивает модуль-носитель.

Внешний вид модулей показан в приложении А.

1.2 Технические характеристики

Технические характеристики указаны в таблице 1.

Таблица 1 - Технические характеристики модуля

Параметр	Модуль ввода-вывода DIC552	Модуль ввода-вывода DIC553
System BUS	CompactPCI 32-бита, 33 МГц	CompactPCI 32-бита, 33 МГц
Конструктив	3U	6U

Параметр	Модуль ввода-вывода DIC552	Модуль ввода-вывода DIC553
Интерфейс с мезонином стандартного размера	SPI – 4 шт.; UART 16550A – 4 шт.; Параллельный порт (16-бит) – 3 шт.; SPORT – 4 шт.; Таймер 8254 – 2 шт.; Шина 32-бит Wishbone.	
Поддержка мезонинов стандартного размера, шт	2	4
Напряжение питания (в соответствии с CompactPCI), В	+12, +3,3	+12, +5, +3,3
Мощность без учета потребления мезонинов (макс.), Вт	6	12
Мощность потребления мезонинов по +12В (макс.), Вт	общее	12
	один мезонин	12
Мощность потребления мезонинов по +3.3В (макс.), Вт	общее	15
	один мезонин	4,5
Мощность потребления мезонинов по +5В (макс.), Вт	общее	24
	один мезонин	12
MTBF, ч	1000000	500000
Габаритные размеры, мм	131x214x21	214x267x21
Масса модуля, не более, кг	0,2	0,4
<p>Примечания</p> <p>1 Для DIC553 мезонины, потребляющих больше 12 Вт на слот (по +12 В), необходимо устанавливать в один из разъемов Slot 0 (рисунок А.3)</p> <p>2 Значения MTBF рассчитаны по модели вычислений Telcordia Issue 1 (методика расчета Method I Case 3) для непрерывной эксплуатации при наземном размещении в условиях, соответствующих климатическому исполнению УХЛ4 по ГОСТ 15150-69, при температуре окружающей среды плюс 30 °С.</p>		

Функциональные возможности:

- интерфейс с системной шиной CompactPCI 32-бит, 33 МГц.
- интерфейсы доступные на мультиплексированной шине для каждого мезонина:
 - 4 SPI интерфейса с максимальной длиной слова 32 бита и частотой тактирования до 32 МГц;
 - 4 UART интерфейса (скорость передачи до 1 Мбод);
 - 4 SPORT – последовательные интерфейсы с максимальной длиной слова 32 бита и частотой тактирования до 32 МГц, а также поддержкой TDMA и I2S режимов;

- 2 16-разрядных параллельных порта с возможностью генерации одиночных выходных импульсов (время доступа определяется циклом шины PCI) (без генерации прерываний);
- 1 16-разрядный параллельный порт с возможностью генерации прерываний при изменении состояния выводов порта (время доступа определяется циклом шины PCI);
- 32-разрядная шина, совместимая с Wishbone, с тактовой частотой 32 МГц;
- интерфейс для идентификации мезонина (SPI);
- 2 счетчика-таймера, совместимых с 8254, с тактовой частотой 20 МГц;
- поддержка DMA на шине CompactPCI.

Программная совместимость:

- Драйверная поддержка для ОС Linux (с ядром не ниже v.3.19).

Драйверы и набор программных библиотек совместим с ПО от DIC551.

1.3 Условия эксплуатации

Условия эксплуатации указаны в таблице 2.

Таблица 2 - Условия эксплуатации

Вид воздействия	Наименование параметра	Значение параметра		Документ
		DIC552	DIC553	
Смена температур	Низкая температура	- 40 °C	- 40 °C	ГОСТ 28209-89 (МЭК 68-2-14-84) Испытание Nb
	Высокая температура	+ 85 °C	+ 85 °C	
Влажное тепло*	Относительная влажность	(55±2) °C 93±3 %	(55±2) °C 93±3 %	ГОСТ 28216-89 (МЭК 68-2-30-82)
Синусоидальная вибрация	Диапазон частот (Гц)	10...500	10...500	ГОСТ 28203-89 (МЭК 68-2-6-82)
	Ускорение, g	5	2	
Одиночные удары	Пиковое ускорение, g	100	50	ГОСТ 28213-89 (МЭК 68-2-27-87)
Многократные удары	Пиковое ускорение, g	50	30	ГОСТ 28215-89 (МЭК 68-2-29-87)
	Количество ударов	1000	1000	

* - только для изделий с влагозащитным покрытием.

1.4 Варианты исполнения

Варианты исполнения модуля приведены в таблице 3.

Таблица 3 - Варианты исполнения

Наименование	Обозначение при заказе
Модуль ввода-вывода DIC552	DIC552-01
	DIC552-01-COATED
Модуль ввода-вывода DIC553	DIC553-01
	DIC553-01-COATED

1.5 Комплект поставки

Комплект поставки модуля DIC552 приведен в таблице 4.

Таблица 4 - Комплект поставки модуля DIC552

Обозначение	Наименование	Количество	Примечание
ИМЕС.467444.152 ИМЕС.467444.152-01	Модуль ввода-вывода DIC552 Модуль ввода-вывода DIC552-01-COATED	1 шт.	
ИМЕС.467369.045	Компакт-диск с руководством по эксплуатации и программным обеспечением	1 шт.	
ИМЕС.468911.002	Комплект монтажных частей в составе: - шайба ИМЕС.741124.076 – 3 шт.; - упор ИМЕС.741521.001 – 6 шт.; - винт А2.М2,5-6gx8.56.016 – 9 шт.	1 шт.	
ИМЕС.467929.001	Комплект наклеек	2 шт.	
ИМЕС.421945.065-03	Упаковка	1 шт.	
Эксплуатационная документация			
ИМЕС.467444.152ПС	Модуль ввода-вывода DIC552. Паспорт	1 шт.	
ИМЕС.467444.152РЭ	Модуль ввода-вывода DIC552. Руководство по эксплуатации	1 шт.	На компакт-диске

Комплект поставки модуля DIC553 приведен в таблице 5.

Таблица 5 - Комплект поставки модуля DIC553

Обозначение	Наименование	Количество	Примечание
ИМЕС.467444.153 ИМЕС.467444.153-01	Модуль ввода-вывода DIC553 Модуль ввода-вывода DIC553-01-COATED	1 шт.	
ИМЕС.467369.045	Компакт-диск с руководством по эксплуатации и программным обеспечением	1 шт.	
ИМЕС.468911.002	Комплект монтажных частей в составе: - шайба ИМЕС.741124.076 – 3 шт.; - упор ИМЕС.741521.001 – 6 шт.; - винт А2.М2,5-6gx8.56.016 – 9 шт.	2 шт.	
ИМЕС.467929.001	Комплект наклеек	4 шт.	
ИМЕС.421945.071-16	Упаковка	1 шт.	
Эксплуатационная документация			
ИМЕС.467444.153ПС	Модуль ввода-вывода DIC553. Паспорт	1 шт.	
ИМЕС.467444.153РЭ	Модуль ввода-вывода DIC553. Руководство по эксплуатации	1 шт.	На компакт-диске

1.6 Требования по безопасности

Изделие должно соответствовать общим требованиям безопасности для оборудования информационных технологий по ГОСТ Р МЭК 60950-2002 (для оборудования, подключаемого к электросети напряжением до 600 В).

Конструкция изделия должна обеспечивать безопасность обслуживающего персонала в соответствии с требованиями по безопасности ГОСТ 12.2.056-81.

1.7 Маркировка

Изделие должно иметь маркировку, расположенную согласно сборочным чертежам ИМЕС.467444.152СБ (DIC552) и ИМЕС.467444.153СБ (DIC553).

Маркировка изделия должна содержать:

- сокращенное наименование (шифр) изделия;
- товарный знак завода-изготовителя;
- заводской номер изделия.

Маркировка упаковки должна содержать:

- сокращенное наименование (шифр) изделия;
- товарный знак завода-изготовителя;
- штрих-код;
- страну изготовления.

1.8 Упаковка

Модуль упаковывается в отдельную упаковку предприятия-изготовителя: антистатический пакет и картонную коробку размерами 230x155x45 мм (DIC552) или 350x260x70 мм (DIC553).

Таблица 6 – Масса модуля в упаковке

Наименование	Масса модуля в упаковке, кг, не более
Модуль ввода-вывода DIC552	0,3
Модуль ввода-вывода DIC553	0,5

2 Устройство и работа модуля

2.1 Структурная схема

На рисунках 1 и 2 и приведены структурные схемы модулей DIC552 и DIC553.

Модуль обеспечивает передачу данных между шиной PCI и мезонинами, питание мезонинов с функциями защиты от перегрузки по току, горячую замену модуля (Hot Swap).

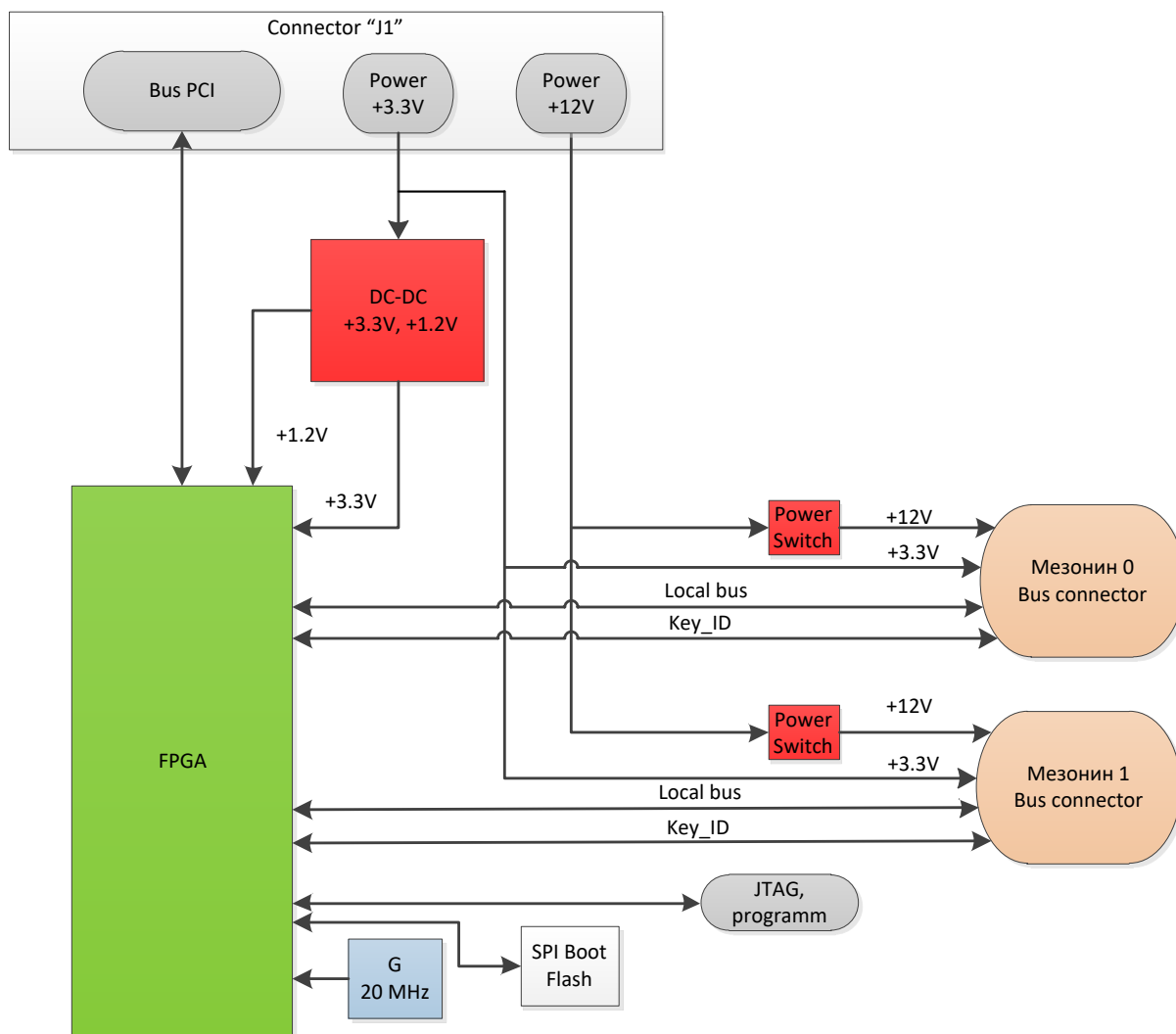


Рисунок 1 – Структурная схема модуля DIC552 (3U)

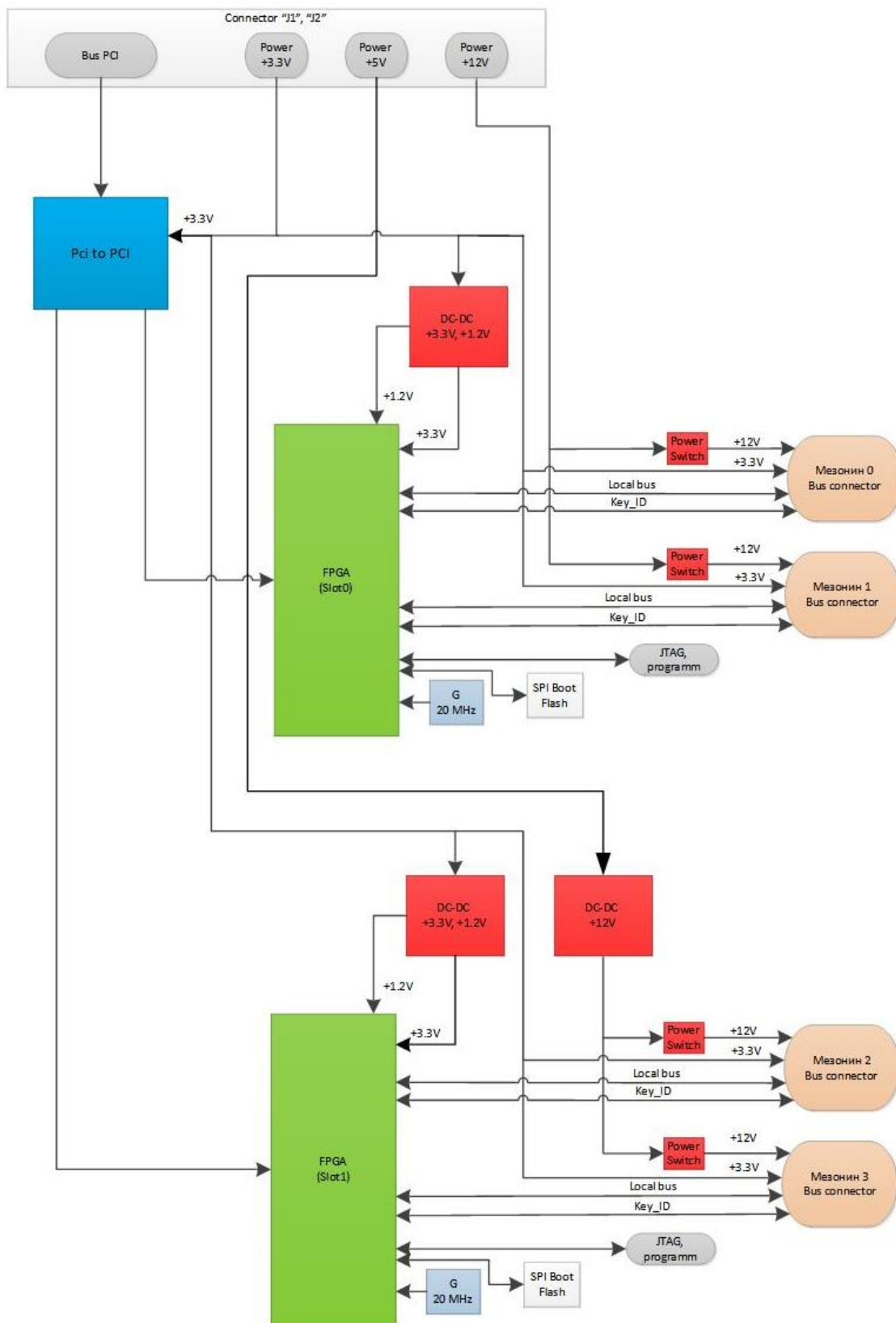


Рисунок 2 - Структурная схема модуля DIC553 (6U)

На FPGA реализуется интерфейс обмена по шине PCI и функционал управления мезонинами, также FPGA контролирует и управляет питанием мезонинов. Питание мезонинов осуществляется напряжениями +3.3 В и +12 В. Для управления питанием +12 В каждого мезонина применяются интеллектуальные ключи с возможностью защиты по току (Power Switch). На каждый мезонин поступает также дополнительное, маломощное питание +3.3 В, используемое для питания идентификационной памяти мезонина. Для подключения мезонинов используются 64 контактные межплатные разъемы.

Каждый мезонин соединен с модулем мультиплексированной шиной, содержащей следующие интерфейсы: SPORT (4 канала), SPI (4 канала), UART (тип 16550A, 4 канала), параллельный порт 16 бит (3 канала), 32 разрядная шина Wishbone.

Одновременно на модуле доступны все интерфейсы, но в связи с ограничением числа контактов на разъемах мезонина, каждый (с 9 по 56) вывод разъема для подключения мезонина может быть подключен к одному из 4 интерфейсов (см. раздел 2.2.7). Настройка функции каждого вывода индивидуальна и определяется регистром «Регистр установки принадлежности выводов FPGA устройствам» параллельного порта.

Отличие DIC553 (6U конструктив) от DIC552 (3U конструктив) – наличие моста PCI-to-PCI и дублирования схемы носителя мезонинов. Таким образом, 3U модуль поддерживает подключение двух мезонинов, а 6U модуль – четырех. 6U модуль представляет собой два независимых модуля носителя мезонинов, выполненные на одной плате. Конфигурации каждой FPGA на модуле DIC553 идентичны конфигурации FPGA на DIC552.

В качестве моста PCI-to-PCI используется мост PI7C8150BNDIE (ф. Diodes Incorporated).

2.2 Описание мезонинов

На рисунке 3 представлена обобщенная структурная схема мезонина. Мезонин представляет собой плату, устанавливаемую на модуль. Работа с мезонином со стороны компьютера осуществляется через комбинацию интерфейсов, предоставляемых модулем. На модуле, кроме функционального наполнения мезонина, располагаются идентификационные средства, такие как:

- **hard key** – аппаратный ключ, служащий для идентификации наличия мезонина;

- **flash key** – микросхема памяти с последовательным интерфейсом. Содержит информацию о модуле, типе используемых протоколов, настройках мезонина и т.д., требуется для автоматической настройки драйвера модуля.

Мезонин устанавливается на высоте 10,5 мм от модуля. На один DIC552 может устанавливаться до двух мезонинов стандартного размера или один мезонин двойного размера. На один DIC553 может устанавливаться до четырех мезонинов стандартного размера или два мезонина двойного размера.

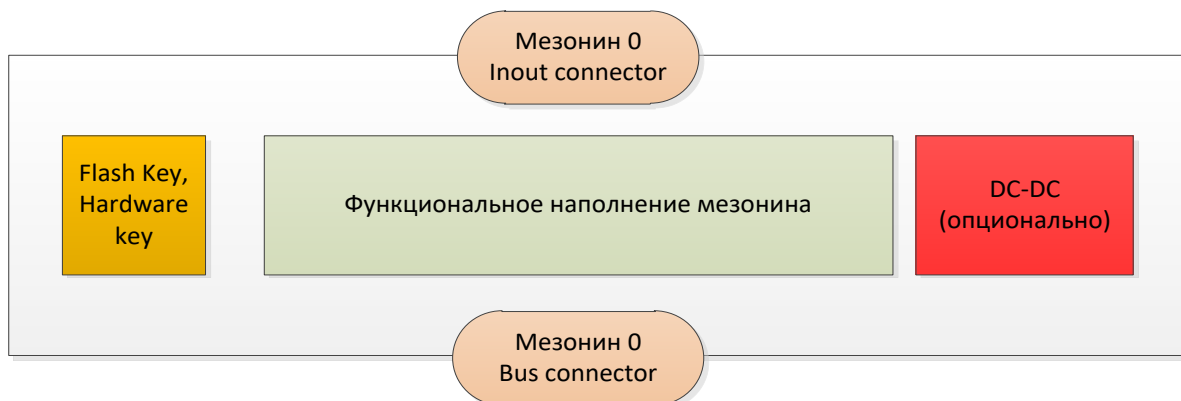


Рисунок 3 – Обобщенная структурная схема мезонина

2.2.1 Мезонин цифрового ввода-вывода MIC1003-03

Основные особенности:

- 24 канала цифрового ввода вывода с индивидуальной настройкой направления;
- групповая гальваническая изоляция каналов 750 В;
- защита выходных сигналов от электростатического разряда;
- выдача и прием последовательного кода (совместимого с RS232 по протоколу) по любому каналу;
 - формирование прерываний при изменении данных на входах;
 - измерение частоты (до 2000 кГц) сигналов по любому каналу;
 - программируемый интервал времени устранения дребезга для входов (антидребезг);
 - питание мезонина: от модуля;
 - мощность: не более 4 Вт.

Мезонин предназначен для ввода/вывода 24 сигналов с логическими уровнями CMOS 5 В и содержит защиту от статического электричества. В группе выходные данные на контактах меняются одновременно, задержка изменения данных (latency time) составляет не более 2,1 мкс. Может применяться для измерения частоты сигналов, приема и выдачи последовательного кода,

преобразования кодов, управления алфавитно-цифровыми индикаторами, формирования временных диаграмм управления.

Мезонин MIC1003-03 имеет фронтальный вывод сигналов через разъем типа DSUB26.

Требования к внешней нагрузке модуля: нагрузка на один выход не более 25 мА, максимальная общая нагрузка модуля на выход не более 400 мА.

На рисунке 4 показана обобщенная структурная схема мезонина.

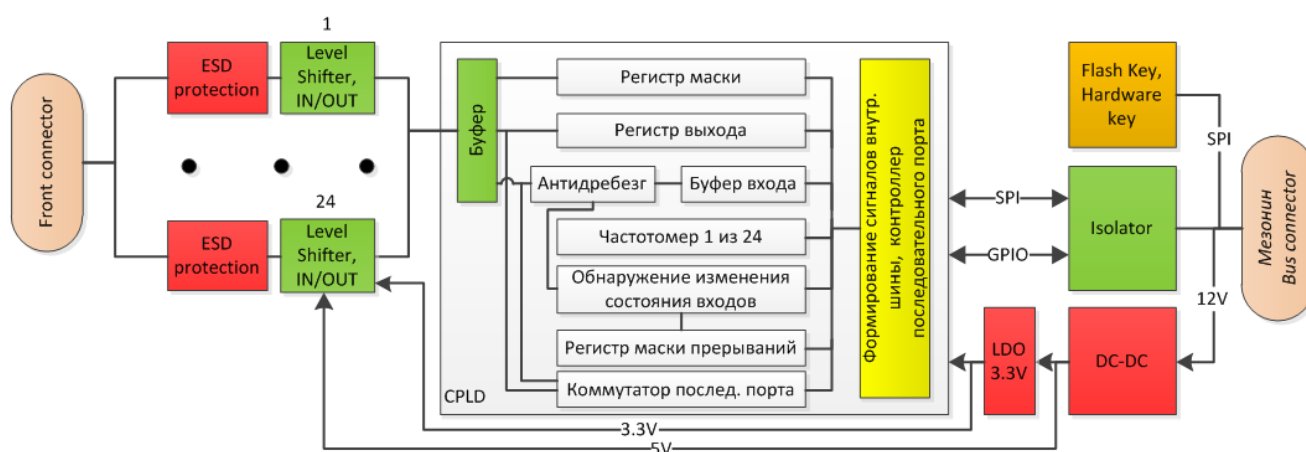


Рисунок 4 - Структурная схема мезонина MIC1003-03

На рисунке 5 показан внешний вид мезонина.

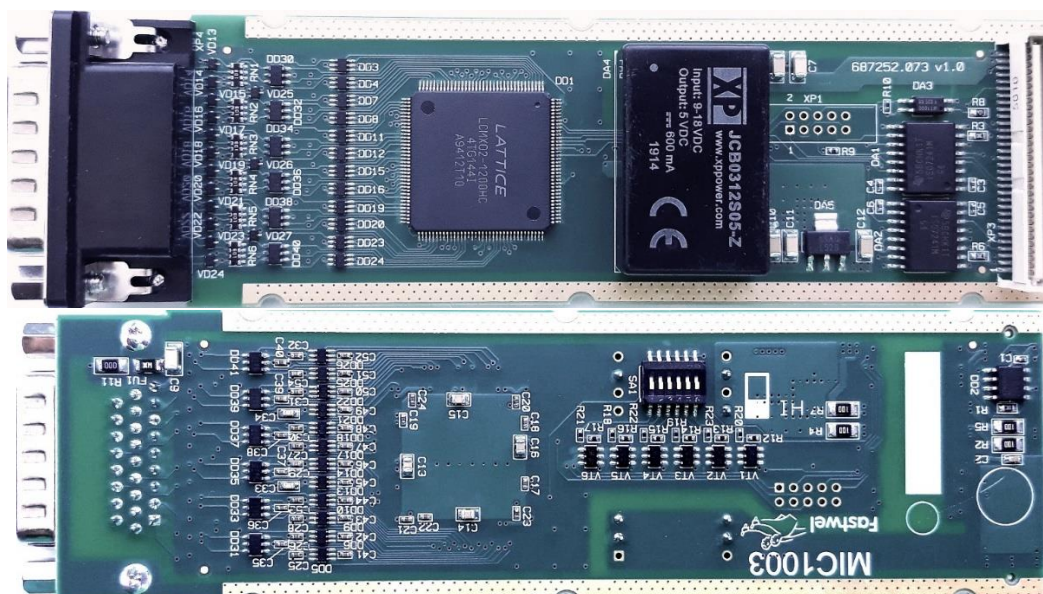


Рисунок 5 - Внешний вид мезонина MIC1003-03

2.2.2 Мезонин интерфейсов ИРПС MIC1004

Обобщенная структура MIC1004 показана на рисунке 6.

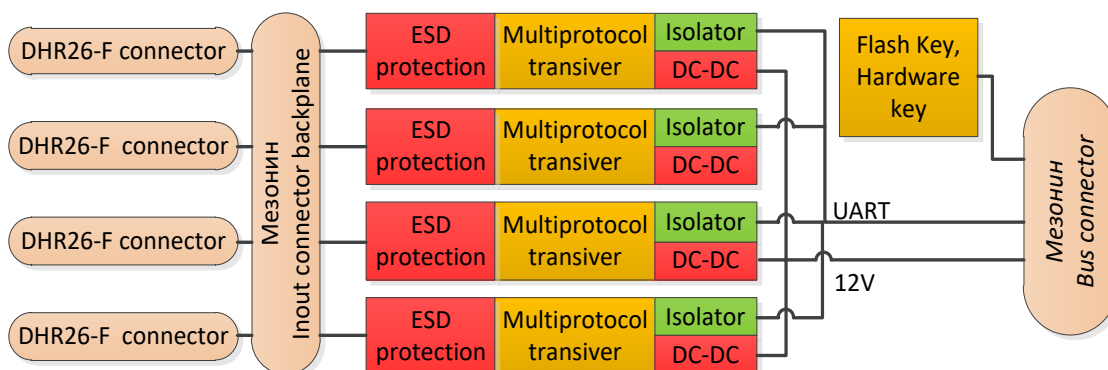


Рисунок 6 - Структурная схема мезонина MIC1004-01

Основные особенности:

- 4 канала портов ИРПС;
- гальваническая изоляция каналов 750 В;
- защита выходных сигналов от электростатического разряда;
- возможность отключения питания каждого порта индивидуально;
- работа на 2-х и 4-х проводные линии;
- работа в режиме Master-Slave;
- выходной разъем мезонина DHR26F;
- питание: от модуля;
- мощность: не более 5 Вт.

На рисунке 7 показан внешний вид MIC1004-01 со стороны TOP.

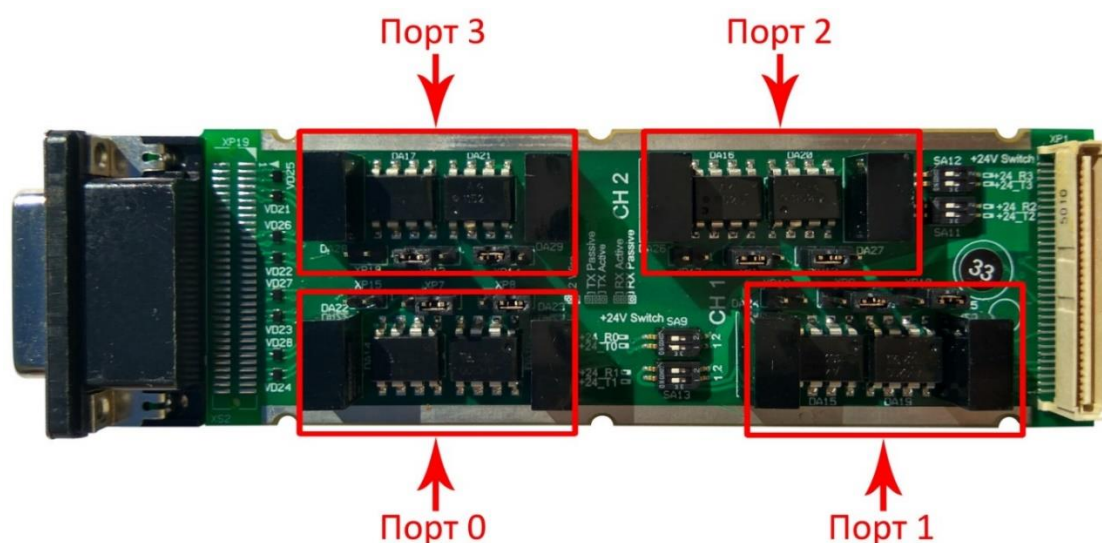


Рисунок 7 - Внешний вид модуля MIC1004-01 со стороны TOP

Мезонин предназначен для осуществления операций ввода/вывода через 4 индивидуально гальванически изолированных последовательных порта типа ИРПС и представляет собой плату преобразования уровней сигнала от UART, расположенного на модуле, в уровни сигналов, соответствующих стандарту ИРПС. Переключение портов типа master-slave и 2х-4х проводная линия связи производится с помощью перемычек и микропереключателей. Комбинация перемычек задает тип передатчика и приемника, по наличию источника тока в цепи: активный или пассивный. С помощью перемычек замыкаются соответствующие порту сигнальные линии Tx- и Rx+ для полудуплексного режима.

Передача данных между устройствами возможна в 3-х возможных конфигурациях порта: однонаправленная, полудуплексная или полнодуплексная передача/прием в активном или пассивном режимах. На рисунках 8 - 10 соответственно показаны варианты подключения.

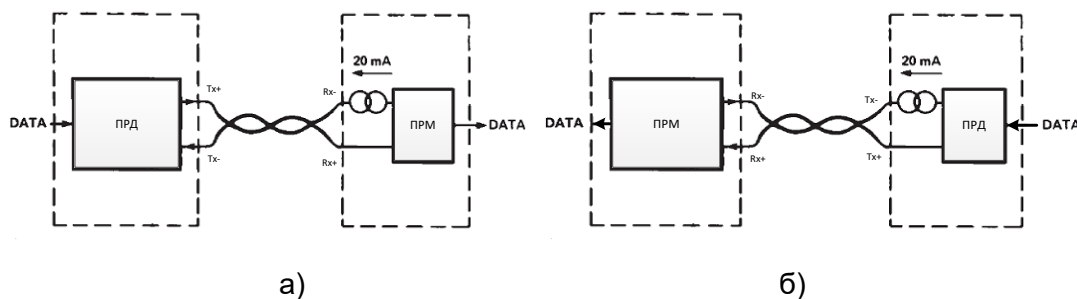


Рисунок 8 - Однонаправленное подключение: а) активный приемник; б) активный передатчик

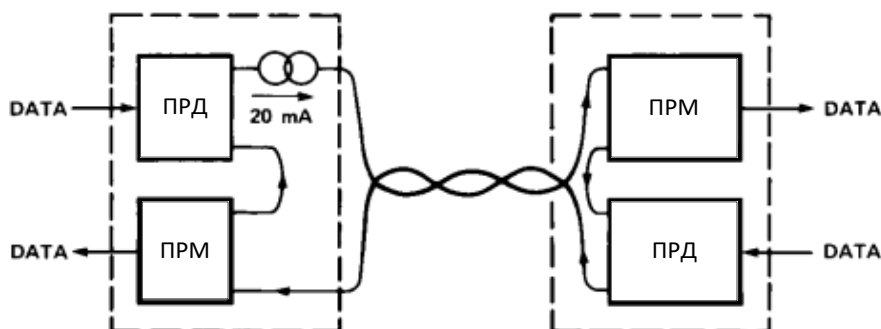


Рисунок 9 - Полудуплексное подключение

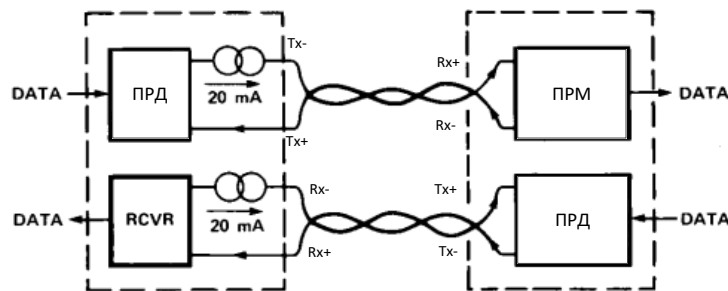


Рисунок 10 - Полнодуплексное подключение

2.2.3 Мезонин интерфейса МКИО MIC1007-01

Основные технические характеристики:

- поддержка протокола:
 - поддержка двух резервируемых каналов связи или четырех независимых каналов (без резервирования);
 - работа в режимах контроллера шины, оконечного устройства и монитора шины;
 - возможность трансформаторного и прямого подключений к линии;
 - скорость передачи информационных данных 1 Мбит/с;
 - система команд согласно ГОСТ Р 52070-2003;
- гальваническая изоляция каналов: 750 В;
- программная совместимость с ОС: Linux, QNX;
- выходной разъем DHR26F;
- питание мезонина: от модуля;
- потребляемая мощность: не более 9,5 Вт.

Мезонин MIC1007-01 предназначен для организации обмена и контроля передачи информации по мультиплексному каналу информационного обмена (МКИО) по ГОСТ Р 52070-2003 (аналог MIL-STD-1553B). Мезонин имеет два независимых канала с резервированием. Каждый канал может выполнять функции контроллера шины (КШ), оконечного устройства (ОУ) или монитора (М0 – монитор шины и М1 – монитор по параметрам). Поддерживается все десять форматов сообщений.

Для связи мезонина с модулем используется интерфейс SPORT (для доступа к регистрам и данным протокола). Поддерживается режим DMA (память → SPORT TX, SPORT RX → память). В режиме КШ возможна настройка передачи цепочки сообщений.

Подключение к шине МКИО возможна как с трансформатором, так и без трансформаторное (прямое).

На рисунке 11 показан внешний вид мезонина MIC1007-01.

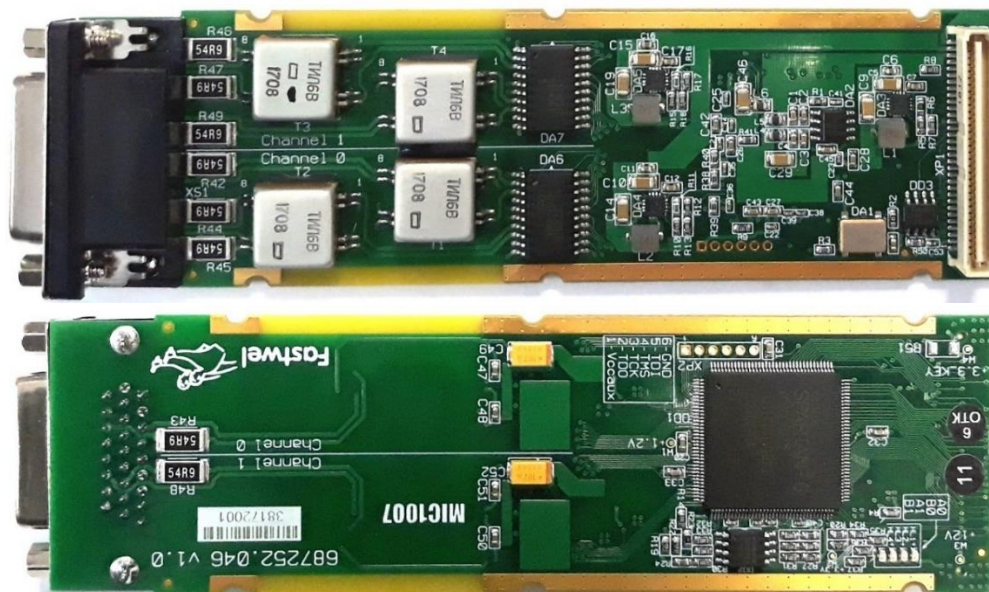


Рисунок 11 - Внешний вид мезонина MIC1007-01

Более подробная информация о мезонине в руководстве по эксплуатации ИМЕС.467451.014РЭ.

2.2.4 Мезонин интерфейса CAN MIC1010-01

Основные особенности:

- 4 поканально гальванически изолированных CAN2.0B интерфейса;
- обмен данными одновременно по 4-м каналам;
- настраиваемая скорость обмена – до 1 Мбит/с;
- двойная буферизация передаваемых и принимаемых сообщений;
- размер пользовательских данных в сообщении – до 8-ми байт;
- подключаемый терминатор линии для каждого канала;
- гальваническая изоляция, 1000 В;
- использование последовательного интерфейса SPORT для обмена данными с модулем-носителем;
- поддержка DMA транзакций;
- разъем подключения к шине DHR26F;
- программная совместимость с ОС Linux (не ниже v.3.19);
- питание: от модуля;
- мощность: не более 5 Вт.

Мезонин предназначен для осуществления операций ввода/вывода данных по шинам CAN в составе систем управления реального времени,

бортовых систем, средств безопасности и связи, контроля производства, высокоскоростного сбора данных и для других ответственных применений, предназначенных для работы в жестких условиях эксплуатации

Мезонин построен на основе микроконтроллера компании «Infineon», который содержит в себе процессорное ядро Cortex-M4 и Controller Area Network Controller (MultiCAN+).

Обмен между модулем и мезонином производится через два канала Universal Serial Interface Channel (USIC0), которые сконфигурированы для использования в качестве интерфейса SPORT. В свою очередь, в модуле для интерфейса SPORT реализована поддержка DMA, что позволяет минимизировать нагрузку на процессор вычислительной системы во время обмена данными с периферийными устройствами.

Для сопряжения каналов CAN с шинами и реализации физического уровня интерфейса используются приёмопередатчики компании «Analog Devices». Алгоритмы доступа к среде передачи и логика обработки сообщений (уровень Data Link Layer – подуровни Medium Access Control и Logic Link Control) реализуются в контроллере MultiCAN+ из состава микроконтроллера. Особенностью MultiCAN+ является полная аппаратная поддержка требований спецификации Bosch Controller Area Network Protocol Standard (Version 2.0).

Каждый канал имеет по два буфера размером 2048 байт – один на приём, другой на передачу. Скорость обмена в каждом из каналов может иметь любое значение вплоть до максимальной – 1 Мбит/с. Но при выборе скорости обмена необходимо помнить, что она обратно пропорциональна длине шины. При скорости 1 Мбит/с длина шины не может превышать 40 м, а для шины длиной 1000 м скорость обмена не может быть выше 50 кбит/с.

На рисунке 12 показана структурная схема мезонина.



Рисунок 12 - Структурная схема мезонина MIC1010-01

Для подключения CAN-портов мезонина к шинам предназначен разъём DBH26F. Выходные цепи каждого канала CAN гальванически изолированы от цепей других каналов и от остальных компонентов мезонина и модуля-носителя.



Рисунок 13 - Внешний вид мезонина MIC1010-01

2.2.5 Мезонин интерфейсов RS485/422/232 MIC1011-01

Мезонин предназначен для осуществления операций ввода/вывода через 4 индивидуально гальванически изолированных последовательных порта типа RS485/RS422/RS232 и представляет собой плату преобразования уровней сигнала от UART, расположенного на модуле, в уровни сигналов соответствующих стандартов.

Основные особенности:

- 4 канала портов RS485/RS422/RS232;

- гальваническая изоляция каналов 750 В;
- защита выходных сигналов от электростатического разряда;
- подключение нагрузочного сопротивления 120 Ом для RS485;
- полная поддержка порта RS232 (9 pin) 1 канал;
- частичная поддержка порта RS232 (9 pin) 3 канала;
- полная поддержка порта RS485/RS422;
- возможность отключения питания каждого порта индивидуально;
- выходной разъем, установленный на мезонине DHR26F;
- программное переключение направления передачи для RS485.
- питание: от модуля.
- мощность: не более 4 Вт.

Структурная схема мезонина MIC1011-01 показана на рисунке 14.

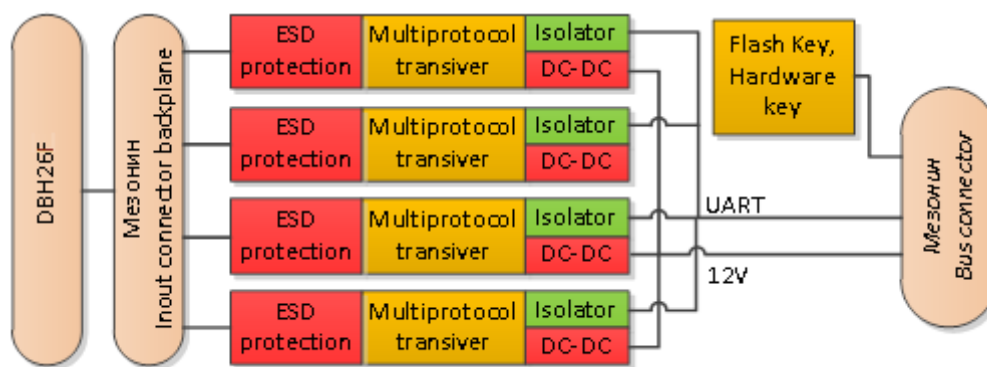


Рисунок 14 - Структурная схема мезонина MIC1011-01

Внешний вид мезонина показан на рисунке 15.

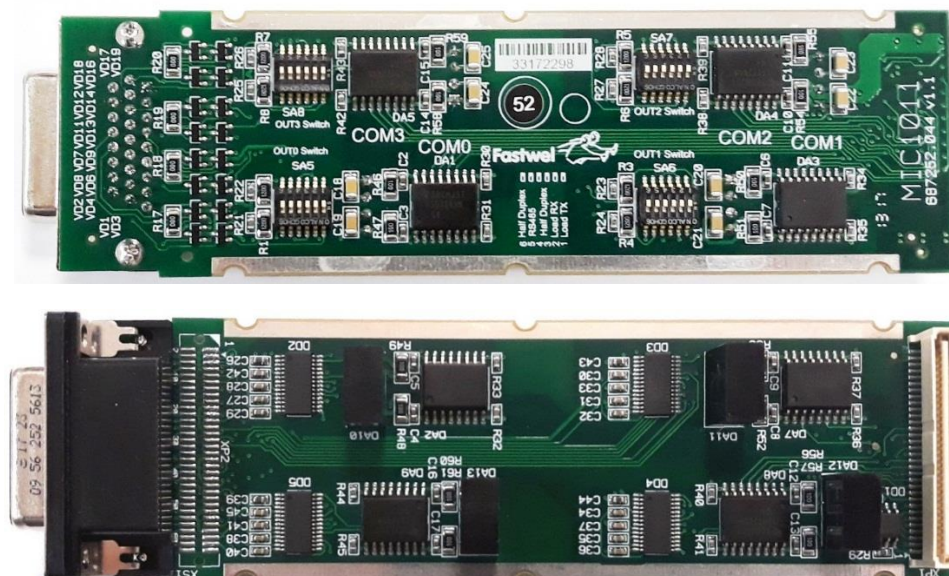


Рисунок 15 - Внешний вид мезонина MIC1011-01

2.2.6 Мезонин интерфейса ПК MIC1012-0X

Основные характеристики:

- 4 входных канала последовательного кода;
- от 2 до 4 выходных каналов последовательного кода;
- от 4 до 6 линий дискретного ввода/вывода разовые команды;
- выход РК обеспечивают выходной ток до 0.5А;
- скорость передачи информационных данных 12,5 кГц, 50 кГц, 100 кГц, с возможностью установить нестандартную частоты передачи от 768 Гц до 100 кГц;
- фильтрация слов в приемных каналах ПК по адресу (Label) параметра;
- гальваническая изоляция каналов: 750 В;
- выходной разъем DHR26F;
- питание: от модуля.

Варианты исполнения:

- MIC1012-01: 4 приемника, 2 передатчика, 6 разовых команд.
- MIC1012-02: 4 приемника, 4 передатчика, 4 разовых команд.

Мезонин интерфейса последовательного кода (ПК) и разовых команд (РК) (последовательный код ГОСТ 18977-79 и РТМ1495-75 с изм.3 (аналог ARINC 429), и разовые команды ГОСТ 18977-79) предоставляет разработчикам доступ к линиям приема ПК, передачи ПК и линиям РК работающим на вход или выход. Линии ПК и РК гальванически развязаны от цифровой части.

Для связи мезонина MIC1012 с модулем используется интерфейс SPORT (для доступа к регистрам и данным протокола). Поддерживается режим DMA (память → SPORT TX, SPORT RX → память).

Внешний вид мезонина MIC1012 показан на рисунке 16.

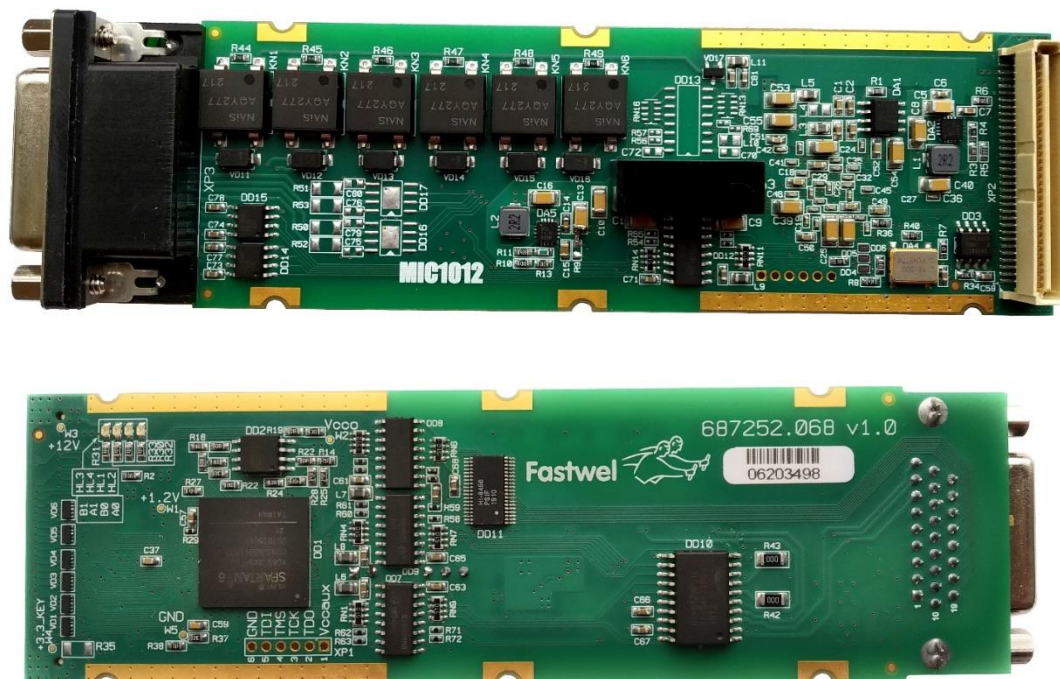


Рисунок 16 - Внешний вид мезонина MIC1012

Более подробная информация в эксплуатационной документации на мезонин ИМЕС.467451.019РЭ.

2.2.7 Описание разъемов мезонинов и портов модуля

Межплатные соединения модуля и мезонинов осуществляются разъемами типа 71436 (на модуле) и 71439 (Molex) (на мезонине) (рисунок 17). Содержит 64 контакта с максимальным током нагрузки 0,5 А (предельный 1 А) и напряжением изоляции 250 В АС на контакт.

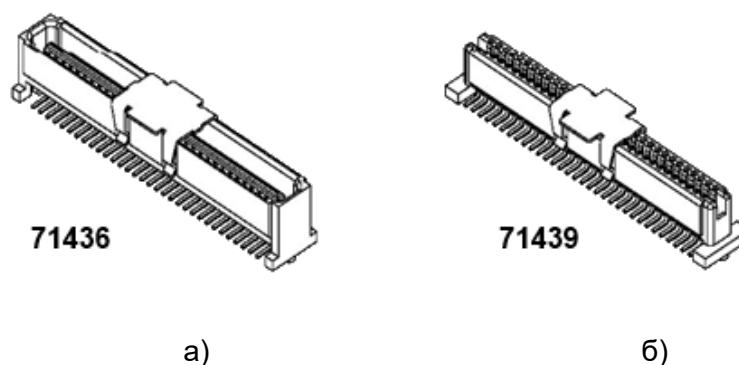


Рисунок 17 - Разъемы MOLEX 71436 (а) и 71439 (б)

Таблица 7 – Описание 64 контактного разъема для подключения мезонинов

№	Name pin	Параллельный порт	UART и Timer	SPI и SPORT	32 разрядная шина Wishbone
1	GND	Земля сигнальная			
2	GND				
3	+3V3	Питание интерфейсов. Используется ТОЛЬКО для питания идентификационной памяти			
4	+3V3				
5	CS_ID	Выходы для подключения идентификационной памяти мезонина, работающей по интерфейсу SPI. Идентификация наличия модуля производится при старте модуля путем определения высокого уровня на выводе SO_ID при подключенном мезонине и низкого при его отсутствии.			
6	CLK_ID				
7	SI_ID				
8	SO_ID				
9	Port 0.0	IO Reg0.0↔	RX0←	SPORT 0 CLK_TX↔	D0↔
10	Port 0.1	IO Reg0.1↔	TX0→	SPORT 0 FRAME_TX↔	D1↔
11	Port 0.2	IO Reg0.2↔	nRTS0→	SPORT 0 TX →	D2↔
12	Port 0.3	IO Reg0.3↔	nCTS0←	SPORT 0 CLK_RX↔	D3↔
13	Port 0.4	IO Reg0.4↔	nDTR0→	SPORT 0 FRAME_RX↔	D4↔
14	Port 0.5	IO Reg0.5↔	nDSR0←	SPORT 0 RX←	D5↔
15	Port 0.6	IO Reg0.6↔	nDCD0←	SPORT 0 Limp→	D6↔
16	Port 0.7	IO Reg0.7↔	nRI0←		D7↔
17	Port 0.8	IO Reg0.8↔	RX1←	SPORT 1 CLK_TX↔	D8↔
18	Port 0.9	IO Reg0.9↔	TX1→	SPORT 1 FRAME_TX↔	D9↔
19	Port 0.10	IO Reg0.10↔	nRTS1→	SPORT 1 TX →	D10↔
20	Port 0.11	IO Reg0.11↔	nCTS1←	SPORT 1 CLK_RX↔	D11↔
21	Port 0.12	IO Reg0.12↔	nDTR1→	SPORT 1 FRAME_RX↔	D12↔
22	Port 0.13	IO Reg0.13↔	nDSR1←	SPORT 1 RX←	D13↔
23	Port 0.14	IO Reg0.14↔	nDCD1←	SPORT 1 Limp→	D14↔
24	Port 0.15	IO Reg1.15↔	nRI1←		D15↔
25	Port 1.0	IO Reg1.0↔	RX2←	SPI 0 MOSI→	D16↔
26	Port 1.1	IO Reg1.1↔	TX2→	SPI 0 MISO←	D17↔
27	Port 1.2	IO Reg1.2↔	nRTS2→	SPI 0 CLK →	D18↔
28	Port 1.3	IO Reg1.3↔	nCTS2←	SPI 0 CS0→	D19↔
29	Port 1.4	IO Reg1.4↔	nDTR2→	SPI 0 CS1→	D20↔
30	Port 1.5	IO Reg1.5↔	nDSR2←	SPI 0 CS2→	D21↔
31	Port 1.6	IO Reg1.6↔	nDCD2←	SPI 0 CS3→	D22↔
32	Port 1.7	IO Reg1.7↔	nRI2←	SPI 0 CS4→	D23↔
33	Port 1.8	IO Reg1.8↔	RX3←	SPI 1 MOSI→	D24↔
34	Port 1.9	IO Reg1.9↔	TX3→	SPI 1 MISO←	D25↔
35	Port 1.10	IO Reg1.10↔	nRTS3→	SPI 1 CLK →	D26↔
36	Port 1.11	IO Reg1.11↔	nCTS3←	SPI 1 CS0→	D27↔
37	Port 1.12	IO Reg1.12↔	nDTR3→	SPI 1 CS1→	D28↔
38	Port 1.13	IO Reg1.13↔	nDSR3←	SPI 1 CS2→	D29↔
39	Port 1.14	IO Reg1.14↔	nDCD3←	SPI 1 CS3→	D30↔
40	Port 1.15	IO Reg1.15↔	nRI3←	SPI 1 CS4→	D31↔
41	Port 2.0	IO Reg2.0↔		SPI 2 MOSI→	A0→
42	Port 2.1	IO Reg2.1↔		SPI 2 MISO←	A1→
43	Port 2.2	IO Reg2.2↔		SPI 2 CLK →	A2→
44	Port 2.3	IO Reg2.3↔		SPI 2 CS0→	A3→
45	Port 2.4	IO Reg2.4↔		SPI 2 CS1→	A4→
46	Port 2.5	IO Reg2.5↔		SPI 2 CS2→	A5→
47	Port 2.6	IO Reg2.6↔		SPI 2 CS3→	A6→
48	Port 2.7	IO Reg2.7↔	Timer0 OUT→	SPI 2 CS4→	A7→
49	Port 2.8	IO Reg2.8↔	Timer0 CLK←	SPI 3 MOSI→	SEL→
50	Port 2.9	IO Reg2.9↔	Timer0 GATE←	SPI 3 MISO←	WE→
51	Port 2.10	IO Reg2.10↔	Timer2 OUT→	SPI 3 CLK →	CLK→
52	Port 2.11	IO Reg2.11↔	Timer2 CLK←	SPI 3 CS0→	STB→
53	Port 2.12	IO Reg2.12↔	Timer2 GATE←	SPI 3 CS1→	ACK←
54	Port 2.13	IO Reg2.13↔	Timer1 OUT→	SPI 3 CS2→	CYC→

№	Name pin	Параллельный порт	UART и Timer	SPI и SPORT	32 разрядная шина Wishbone
55	Port 2.14	IO Reg2.14↔	Timer1 CLK←	SPI 3 CS3→	INT0←
56	Port 2.15	IO Reg2.15↔	Timer1 GATE←	SPI 3 CS4→	
57	Strb0	Strb0 OUT – выход тактового счетчика 0 платы носителя →			
58	Strb1	Strb1 OUT – выход тактового счетчика 1 платы носителя →			
59	+3.3V	Дополнительное питание мезонина			
60	+3.3V				
61	+12V	Питание мезонинов (для DC-DC гальванически развязанных частей схемы)			
62	+12V				
63	GND	Земля преобразователей питания			
64	GND				

2.2.8 Описание интерфейсов связи с мезонинами

2.2.8.1 Последовательный порт SPORT

Последовательный порт SPORT представляет собой 32-х разрядный конфигурируемый мультискоростной последовательный порт с поддержкой DMA, TDM и I2S.

Порт обеспечивает интерфейс ввода-вывода (I/O) с различными периферийными устройствами. Каждый последовательный порт (Read, Write) имеет собственные регистры управления и буферы данных. Возможность использования различных вариантов тактовой и кадровой синхронизации позволяет поддерживать ряд протоколов обмена данными через последовательный порт и обеспечивать аппаратный интерфейс со многими преобразователями данных и кодеками промышленного стандарта.

Порт может работать на тактовой частоте до 32 МГц, поддерживая скорость передачи данных 32 Мбит/с. Возможность независимых приема и передачи данных обеспечивает значительную гибкость при организации коммуникаций. Данные последовательного порта могут автоматически передаваться во внутреннюю память и из нее с использованием режима передачи с прямым доступом к памяти (DMA – Direct Memory Access). Каждый последовательный порт поддерживает многоканальный режим с временным разделением каналов (TDM – Time Division Multiplexing).

Сигналы тактовой и кадровой синхронизации последовательного порта могут генерироваться внутри порта или приниматься от внешнего источника. Последовательный порт может работать с длиной слова от 3 до 32 бит и с различными форматами передачи данных: передача начинается со старшего бита или с младшего.

Последовательный порт имеет следующие характеристики:

- независимые функции приема и передачи;

- передача слов данных длиной до 32 бит, начиная со старших бит или с младших бит;
- двойная буферизация данных – в каждой части последовательного порта (и принимающей и передающей) имеется регистр данных, а также регистр сдвига; двойная буферизация сокращает время обслуживания последовательного порта;
- сигналы тактовой и кадровой синхронизации могут генерироваться внутри порта в широком диапазоне частот или приниматься от внешнего источника;
- управляемые прерываниями передачи одиночных слов данных во внутреннюю память и из нее;
- передачи по DMA во внутреннюю память и из нее – каждый SPORT может автоматически принимать и/или передавать целый блок данных;
- цепочка операций DMA для передачи нескольких блоков данных;
- многоканальный режим с временным разделением каналов – каждый SPORT может избирательно принимать данные из потока последовательно передаваемых бит с использованием временного разделения каналов.

2.2.8.2 Последовательный порт SPI

Последовательный порт SPI. Представляет собой 32-х разрядный конфигурируемый мультискоростной последовательный порт с поддержкой SPI 0 и SPI 3 протокола.

Последовательный порт имеет следующие характеристики:

- полнодуплексная передача данных;
- длина передаваемого слова от 3 до 32 бит;
- передача может начинаться со старшего бита или с младшего;
- 4 линии выбора устройств;
- возможность использования прерывания при приеме/передаче данных;
- прием/передача данных по спаду/подъему тактового сигнала;
- частота тактирования до 32 МГц.

2.2.8.3 Параллельный порт

Представляет собой 16-ти разрядный параллельный порт с произвольным регистровым доступом на ввод/вывод, без использования FIFO. Параллельный порт имеет следующие характеристики:

- разрядность порта 16 бит;
- раздельное конфигурирование битов порта на ввод/вывод;

- аппаратный формирователь импульсов, подключаемый к каждому биту порта;
- генерация прерываний при изменении состояния входных данных порта.

2.2.8.4 Таймер

Представляет собой модифицированный таймер типа 8254. Таймер имеет следующие характеристики:

- тактовая частота 20 МГц;
- максимальная внешняя тактовая частота 32 МГц;
- разрядность таймера 32 бита;
- режимы работы 0 – 5 аналогичны режимам таймера 8254;
- доступ к регистрам 32-х разрядный;
- возможность внешнего запуска таймера;
- возможность каскадирования таймеров;
- наличие двух 32-х разрядных делителей частоты для выработки импульсов.

2.2.8.5 UART 16550A

Программная и аппаратная эмуляция функционала чипа 16550A. Дополнительные данные http://ru.wikipedia.org/wiki/16550_UART.

2.2.8.6 Идентификатор мезонина модуля-носителя

Представляет собой микропрограммный автомат для автоматического считывания конфигурационной информации об установленном мезонине, по протоколу SPI, при подаче питания на мезонин. Для чтения информация доступна в соответствующем банке памяти модуля и используется для конфигурирования интерфейсов связи с мезонинами для работы с конкретным мезонином. Также существует, интерфейс произвольного доступа к микросхеме идентификационной памяти, предназначенный для программирования памяти в условиях производственного цикла, а также для возможности доступа к специфически данным конкретного мезонина, например, калибровочных констант.

2.3 Карта памяти модуля

На системной шине PCI модуль DIC552 определяется как «**System peripheral**» с VID:PID **1D8C:D80B**. Модуль DIC553 определяется как два устройства «**System peripheral**» с VID:PID **1D8C:D80B**.

Обобщенная структура конфигурации FPGA показана на рисунке 18.

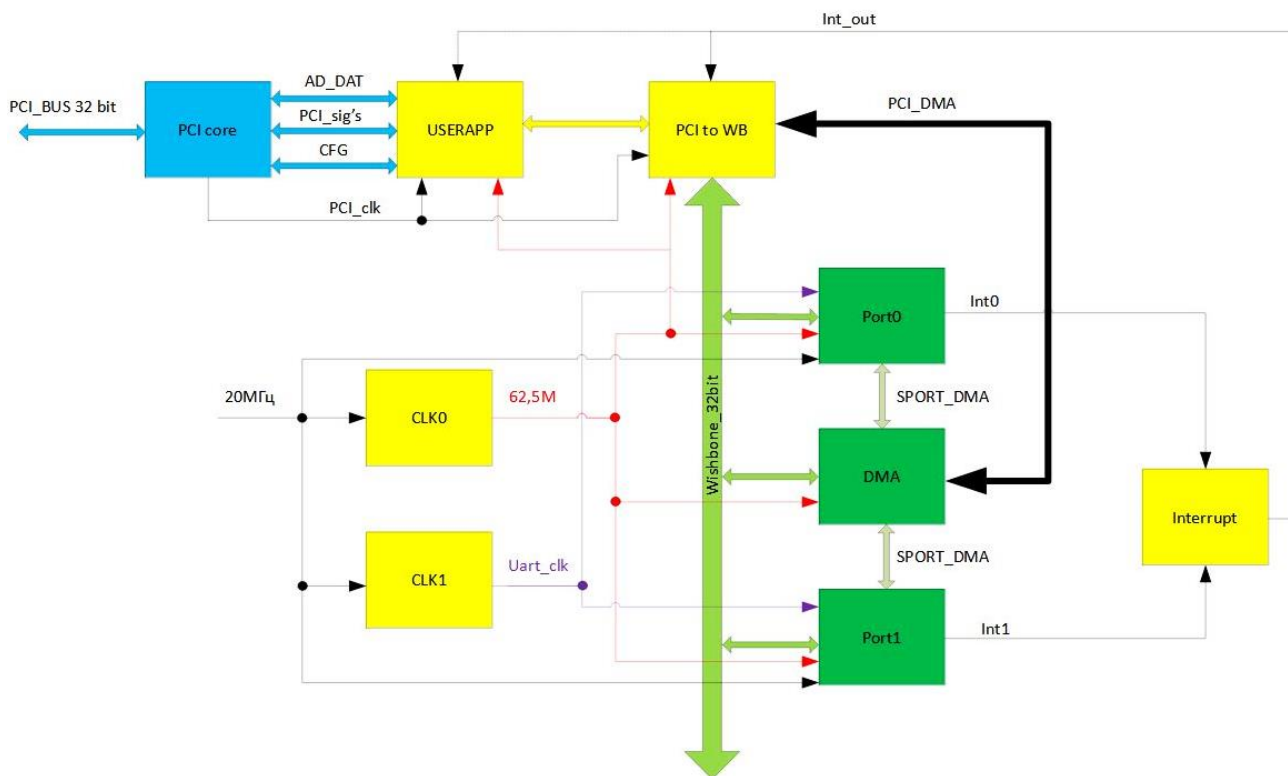


Рисунок 18 - Обобщенная структура конфигурации FPGA

Основные компоненты:

- **PCI core** – IP ядро (LogiCORE IP Initiator/Target v4.14) ф. Xilinx;
- **USERAPP** – блок формирующий логику обмена в режиме Target и Initiator PCI (набор автоматов), преобразования сигналов от IP ядра и пользовательского ПО;
- **PCI to WB** – блок формирующий внутреннюю шину Wishbone, а так же переход от внутренней частоты обработки к частоте шины PCI;
- **CLK0** и **CLK1** – блок формирующие внутренние частоты синхронизации: 62,2 МГц (вся интерфейсная и внутренняя обработка), и 18,519 МГц (частота UART);
- **DMA** – блок формирующий DMA обмен на шине PCI;
- **Port0, Port1** – блок, формирующие все интерфейсы.
- **Interrupt** – блок формирующий прерывания

На рисунке 19 показана обобщенная структура блока Port0 и Port1.

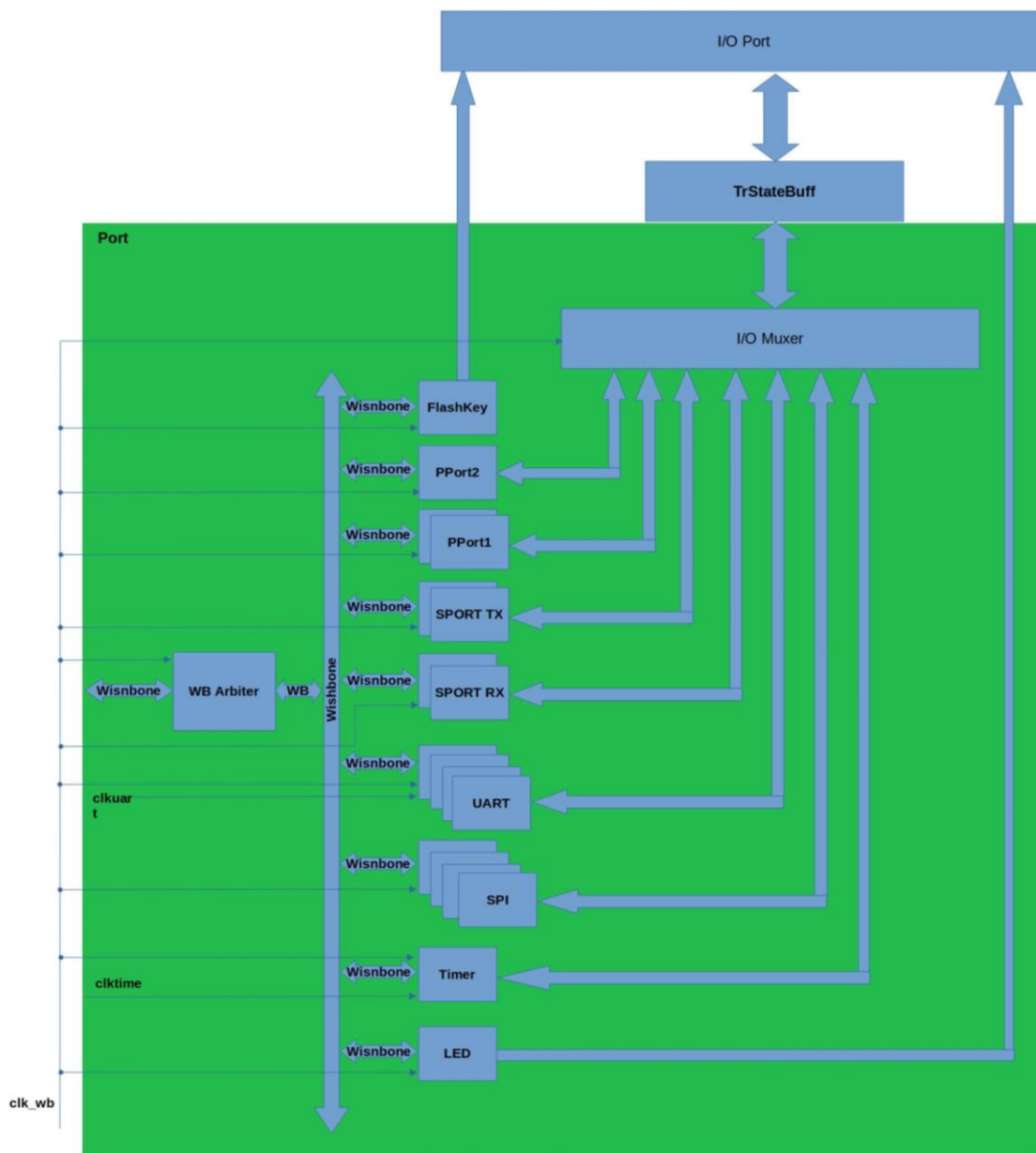


Рисунок 19 - Обобщенная структура блока Port

Пространство ввода-вывода модуля образовано 4-мя банками регистров: два банка регистров портов управления мезонинами (Port 0 и Port1) – банк 0 и 1; порт состояния и управления блоком прямого доступа к памяти (DMA module) – банк 2; регистры служебной информации шины PCI – скрыты от пользователя. В качестве внутренней межмодульной шины FPGA изделия использована параллельная шина Wishbone. Прерывания от всех устройств ввода-вывода объединены по логическому «ИЛИ». Обнаружение источника прерывания осуществляется программными средствами, путем последовательного чтения регистров состояния устройств ввода-вывода размещенных в FPGA.

Внутренняя частота синхронизации – 62,5 МГц, которая формируется от высокостабильного генератора с малым джиттером частотой 20 МГц.

Для согласования тактирования внутренней шины Wishbone (62,5 МГц) с частотой синхронизации системной шины PCI (до 33 МГц) служит блок PCI to WB.

Карта памяти представляет собой область из двух банков памяти (BAR в области PCI устройства). Банк памяти 0 и 1 отвечают за доступ к интерфейсам связи с мезонинами 0 (Port0) и 1 (Port1), соответственно. Они идентичны по расположению регистров и отличаются только базовым адресом. В каждом банке памяти находится статический набор регистров, позволяющий осуществлять доступ ко всем интерфейсам FPGA, вне зависимости от типа установленного мезонина. На рисунке 20 приведена модель пространства ввода-вывода и карта банка памяти, обслуживающего один мезонин, относительно базового адреса (таблица 8). Полный объем каждого банка памяти 4 кБ.

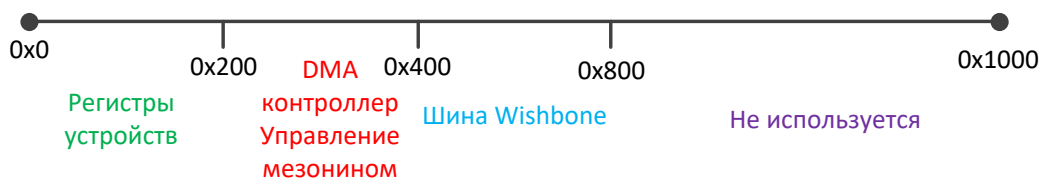


Рисунок 20 - Модель пространства ввода-вывода мезонина

Таблица 8

Название и модулей	Номер прерывания	Адреса на шине	Номер устройства
Параллельный порт тип 1		0x000 – 0x00C 0x020 – 0x03C	0 1
Параллельный порт тип 2	0	0x040 – 0x05C	
Интерфейс идентификации мезонина		0x010 - 0x01C	
Последовательный порт тип 1(SPI)	1	0x080 – 0x09C	0
	2	0x0A0 – 0x0BC	1
	3	0x0C0 – 0x0DC	2
	4	0x0E0 – 0x0FC	3
Последовательный порт тип 2 (SPORT). Передающий модуль	5	0x100 – 0x11C	0
	7	0x140 – 0x15C	1
Последовательный порт тип 2 (SPORT). Приемный модуль.	6	0x120 – 0x13C	0
	8	0x160 – 0x17C	1
Последовательный порт тип 3 (UART)	9	0x180 – 0x19C	0
	10	0x1A0 – 0x1BC	1
	11	0x1C0 – 0x1DC	2
	12	0x1E0 – 0x1FC	3
Модуль таймеров	13	0x060 – 0x07C	
Шина Wishbone (внешняя)	15	0x400 – 0x7FC	
Версия ПО		0x800	

2.3.1 Регистровая модель пространства ввода-вывода

2.3.1.1 Параллельный порт тип 1

Представляет собой регистровый цифровой ввод/вывод с возможностью задания направления. Дополнительно порт поддерживает возможность управления выходным коммутирующим блоком, осуществляющим подключение различных портов к выходным выводам FPGA. Базовый адрес на шине 0x000 (pport0) и 0x020 (pport1).

Таблица 9 - Карта памяти параллельного порта типа 1

Адрес	Операция	Имя	Описание
+0h	R	IN	Входной регистр
+0h	W	OUT	Выходной регистр
+4h	R/W	DIR	Регистр направления
+8h	R/W	MODE	Регистр коммутации устройств

Таблица 10 - Входной регистр

Бит	Операция	Описание
15-0	R	Состояние входов 15-0 порта
31-16		Не используются

Таблица 11 - Выходной регистр

Бит	Операция	Описание
15-0	W	Состояние выходов 15-0 порта
31-16		Не используются

Таблица 12 - Регистр направления

Бит	Операция	Описание
15-0	R/W	1 в соответствующем бите переводит порт на вывод данных
31-16		Не используются

Таблица 13 - Регистр коммутации устройств

Бит	Описание	
1-0	00	К выводу 0 присоединено <u>устройство 0</u>
	01	К выводу 0 присоединено <u>устройство 1</u>
	10	К выводу 0 присоединено <u>устройство 2</u>
	11	К выводу 0 присоединено <u>устройство 3</u>
.....	
31-30	00	К выводу 15 присоединено <u>устройство 0</u>
	01	К выводу 15 присоединено <u>устройство 1</u>
	10	К выводу 15 присоединено <u>устройство 2</u>
	11	К выводу 15 присоединено <u>устройство 3</u>

2.3.1.2 Параллельный порт тип 2

Представляет собой регистровый цифровой ввод/вывод с возможностью задания направления. Порт может формировать прерывания при изменении состояния входных линий порта, а также генерировать одиночные импульсы положительной и отрицательной полярности заданной длительности на выходных линиях порта при записи логической 1 в соответствующий бит порта. Дополнительно порт поддерживает возможность управления выходным коммутирующим блоком, осуществляющим подключение различных портов к выходным выводам FPGA.

Базовый адрес на шине 0x040.

Таблица 14 - Карта памяти параллельного порта типа 1

Адрес	Операция	Имя	Описание
+0h	R	IN	Входной регистр
+0h	W	OUT	Выходной регистр
+4h	R/W	DIR	Регистр направления
+8h	R/W	MODE	Регистр коммутации устройств
+ch	R/W	GEN_MODE	Регистр управления импульсными выходами порта
+10h	R/W	GEN	Регистр генерации импульсов
+14h	R/W	INT_EN	Регистр управления прерываниями
+18h	R/W	INT_R	Регистр сброса прерываний
+1ch	R/W	WIDTH	Регистр установки длительности импульса

Таблица 15 - Входной регистр

Бит	Операция	Описание
15-0	R	Состояние входов 15-0 порта
31-16		Не используются

Таблица 16 - Выходной регистр

Бит	Операция	Описание
15-0	W	Состояние выходов 15-0 порта
31-16		Не используются

Таблица 17 - Регистр направления

Бит	Операция	Описание
15-0	R/W	1 в соответствующем бите переводит порт на вывод данных
31-16		Не используются

Таблица 18 - Регистр коммутации устройств

Бит	Описание	
1-0	00	К выводу 0 присоединено устройство 0
	01	К выводу 0 присоединено устройство 1
	10	К выводу 0 присоединено устройство 2
	11	К выводу 0 присоединено устройство 3

Бит	Описание	
.....	
31-30	00	К выводу 15 присоединено устройство 0
	01	К выводу 15 присоединено устройство 1
	10	К выводу 15 присоединено устройство 2
	11	К выводу 15 присоединено устройство 3

Таблица 19 - Регистр управления импульсными выходами порта

Бит	Операция	Описание
15-0	R/W	Переключение выхода порта между выходным регистром и выходом генератора. 0 – подключен выходной регистр, 1 – выход генератора к соответствующему выходу порта
31-16	R/W	Полярность выходных импульсов: 0 – положительная, 1 – отрицательная для соответствующего выхода.

Таблица 20 - Регистр генерации импульсов

Бит	Операция	Описание
15-0	R/W	Запись 1 в соответствующем бите приводит к генерации импульса на выходе порта
31-16		Не используются

Таблица 21 - Регистр управления прерываниями

Бит	Операция	Описание	
1-0	R/W	00	Прерывание по выводу 0 запрещено
		01	Прерывание по выводу 0 генерируется по положительному фронту
		10	Прерывание по выводу 0 генерируется по отрицательному фронту
		11	Прерывание по выводу 0 генерируется по любому фронту
....	R/W	
31-30	R/W	То же для вывода 15	

Таблица 22 - Регистр сброса прерываний

Бит	Операция	Описание
15-0	W	Запись 1 в бит, соответствующий выводу порта, приводит к сбросу прерывания на соответствующем выводе.
15-0	R	Регистр состояния прерываний. 1 в соответствующем бите говорит о возникновении прерывания на соответствующем выводе порта.
31-16		Не используются

Таблица 23 - Регистр установки длительности импульса

Бит	Операция	Описание
7-0	R/W	Задаёт длительность импульса в периодах тактовой частоты шины (20 нс) для выводов 3-0 порта.
15-8	R/W	Задаёт длительность импульса в периодах тактовой частоты шины (20 нс) для выводов 7-4 порта.

Бит	Операция	Описание
23-16	R/W	Задаёт длительность импульса в периодах тактовой частоты шины (20 нс) для выводов 11-8 порта.
31-24	R/W	Задаёт длительность импульса в периодах тактовой частоты шины (20 нс) для выводов 15-12 порта.

2.3.1.3 Модуль работы с последовательной памятью

Модуль (flash_key) производит все операции по доступу к микросхеме флэш-памяти, установленной на мезонине (soft key). Помимо работы с флэш-памятью, модуль также определяет наличие мезонина по поведению линии miso флэш-памяти при сбросе устройства. Условия – на мезонине линия miso должна быть подтянута к +3,3 В и на модуле установлена подтяжка 100 кОм к земле. Соответственно, при наличии установленного мезонина в 31 бите регистра состояния и управления флэш-памятью будет 1, в случае отсутствия 0. Установка мезонина проверяется один раз при подаче питания в течение 128 тактов (62,5 МГц) после сигнала сброса на шине PCI. В течение времени проверки модуль вырабатывает дополнительный сигнал сброса для предотвращения неправильного подключения модулей ввода-вывода к устройствам мезонина.

Адреса с 0x000 по 0xffff принадлежат системной области памяти, в которой расположены идентификаторы, требуемые для корректной работы драйверной подсистемы и идентификации мезонина.

```
fwm_DeviceId{
    uuid_t product_uuid; - 16 байтный идентификатор типа мезонина.
    uuid_t kernel_driver_uuid; - 16 байтный идентификатор драйвера ядра.
    uuid_t user_driver_uuid; - 16 байтный идентификатор драйвера мезонина.
    char serial_number_string[64]; - серийный номер мезонина
    char vendor_string[32]; - reserved
    char product_string[32]; - reserved
    uint32_t hw_version; - требуемая версия библиотеки hardware.
    uint32_t sw_version; - требуемая версия библиотеки software.
    char extra_data[128]; - reserved
    uint32_t crc; - контрольная сумма
};
```

Начиная с адреса 0x1000, находится пространство, которое может быть использовано в пользовательских целях.

Таблица 24 - Регистр состояния и управления флэш-памятью (адрес на шине 0x010)

Бит	Операция	Описание	
0-7	W	Данные, записываемые в память (1 байт)	
0-7	R	Данные, считанные из памяти (1 байт)	
23-8	R/W	Адрес, по которому производится операция чтения/записи (16 бит).	
		Тип микросхемы памяти	Максимальный адрес
		25080	0x3ff
		25160	0x7ff
		25320	0xfff
		25640	0x1fff
		25128	0x3fff
		25256	0x7fff
26-24	R/W	Команда, выполняемая микросхемой памяти	
		Команда	Код
		Разрешение записи	0b110
		Запрет записи	0b100
		Чтение регистра состояния	0b101
		Запись регистра состояния	0b001
		Чтение данных	0b011
		Запись данных	0b010
27	R/W	Направление операции чтение/запись. Этот бит надо устанавливать при операциях чтения из микросхемы памяти.	
28	W	Старт выполнения команды.	
28	R	Индикация занятости микросхемы памяти на доступ. Идет цикл общения.	
29	W	Включение питания 12В (статический параметр – 1 питание включено)	
29	R	Fault12V# – перегрузка по питанию +12В (сигнал инверсный). Отсутствие питания +12В на мезонине.	
30	R	Fault_3V3 – отсутствие питания +3V3 на мезонине (сигнал не инверсный)	
31	R	Индикация наличия мезонина в слоте.	

2.3.1.4 Регистр управления прерываниями и ID-устройства

Регистр управления прерываниями и ID-устройства находится на шине по адресу 0x014.

Установленная единица в битах 0-15 показывает возникновение прерывания соответствующего интерфейса (в соответствии с таблицей 8), где номер бита соответствует номеру прерывания.

Значения данных в битах 20-16 соответствуют географическому адресу слота, на кросс-плате изделия, в который установлен носитель мезонинов. Бит 23 содержит информацию об ID устройства.

Таблица 25 - Регистр прерываний и ID-устройства

Бит	Операция	Значение
0-15	R	Индикация прерываний
16-20	R	Географический адрес на шине PCI
22-21	R	Reserved
23	R	ID устройства DIC553 =1 – FPGA 0 (верхняя ПЛИС) =0 – FPGA 1 (нижняя ПЛИС) Для DIC552 = 1
24-31	R	Reserved

2.3.1.5 Управление светодиодами

Регистр управления светодиодами находится на шине по адресу 0x01C.

Регистр позволяет управлять двумя из четырех светодиодами, установленными на модуле.

Таблица 26 - Управление светодиодами

Бит	Операция	Значение
0	W	LED1, значение = 1 включен, = 0 - выключен
1	W	LED2, значение = 1 включен, = 0 - выключен
2-31		Резерв

2.3.1.6 Последовательный порт тип 1 (SPI)

Представляет собой 4 независимых SPI порта имеющих следующие характеристики:

- полнодуплексная передача данных;
- изменяемая длинна слова от 3 до 128 бит;
- выбор спадающего или нарастающего фронта при приеме и передаче;
- 5 линий выбора устройства;
- изменяемая тактовая частота;
- использование только внутренней тактовой частоты FPGA для работы порта;
- работа порта только в режиме мастера.

Базовые адреса находятся на шине: 0x080(SPI0), 0x0A0(SPI1), 0x0C0(SPI2), 0x0E0(SPI3).

Таблица 27 - Карта памяти SPI порта

Адрес	Описание
+0h	Данные 0 – биты с 0 по 32 (R/W)
+4h	Данные 1 – биты с 33 по 63 (R/W)
+8h	Данные 2 – биты с 64 по 95 (R/W)

Адрес	Описание
+ch	Данные 3 – биты с 96 по 127 (R/W)
+10h	Слово управления и состояния
+14h	Слово управления делителем частоты
+18h	Регистр выбора устройств

Таблица 28 - Слово управления и состояния

Бит	Операция	Имя	Описание
0-6	R/W	Char_len	Длина принимаемого/передаваемого слова: 1 – 1 бит, 127 – 127 бит, 0 – 128 бит.
7	R		Резервный
8	R/W	Go_bsy	Запись единицы запускает передачу данных. После завершения цикла передачи бит автоматически возвращается в 0.
9	R/W	Rx_neg	Если бит установлен, то данные защелкиваются по спадающему фронту тактирующего сигнала.
10	R/W	Tx_neg	Если бит установлен, то данные изменяются по спадающему фронту тактирующего сигнала.
11	R/W	LSB	Если бит установлен первым, то посылается /принимается младший бит.
12	R/W	IE	Разрешение генерации прерывания после цикла передачи данных.
13	R/W	ASS	Если бит установлен, то идет автоматическое формирование сигнала выбора устройства на время передачи данных.
14	R/W	Enbl_clk	Непрерывная генерация частоты на выход
31:15	R		Резервный

Таблица 29 - Слово управления делителем частоты

Бит	Операция	Имя	Описание
15-0	R/W	Div	Коеф. деления опорной частоты для получения тактовой частоты порта $f_{sclk} = \frac{f_{wb_clk}}{(DIVIDER+1)*2}$. Опорная частота 62,5 МГц.
31-16	R		Резервный

В регистре выбора устройств младшие 5 бит соответствуют линиям Chip Select (CS) на выходе порта.

Пример подключения устройств представлен на рисунке 21.

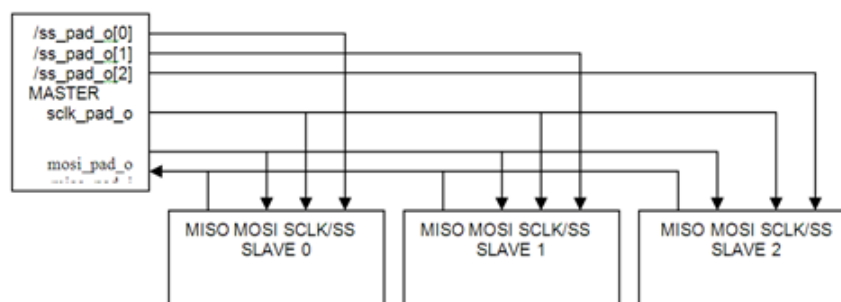


Рисунок 21 - Пример подключения устройств

Временные диаграммы работы порта при различных настройках битов Tx_neg и Rx_neg:

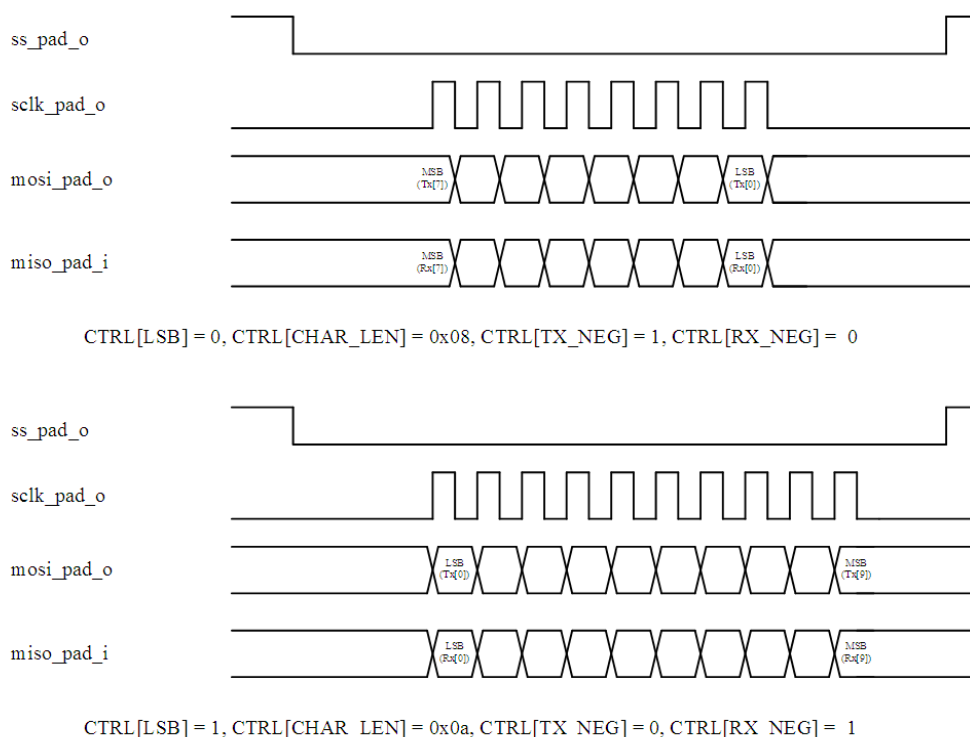


Рисунок 22 - Временные диаграммы работы порта

2.3.1.7 Последовательный порт тип 2 (SPORT)

Последовательный порт тип 2 (SPORT) представляет собой две пары независимых модулей приемника и передатчика с FIFO. Оба порта имеют возможность работать в режимах master/slave путем гибкого изменения настроек синхронизации. Линии тактовой частоты и frame могут работать как на вход, так и на выход. Каждый порт имеет FIFO на 2048 отсчетов и реализует возможность забора данных с использованием DMA каналов. Настройка DMA каналов производится в отдельном блоке. Если включен режим обмена с DMA, флаг прерывания DMA устанавливается в «Слове состояния и управления прерываниями». Для сброса флага (установка в 0) необходимо прочитать это слово.

2.3.1.8 Передатчик

Базовые адреса находятся на шине по 0x100 (SPORT TX0), 0x140 (SPORT TX1).

Таблица 30 - Карта памяти SPORT TX

Адрес	Операция	Описание
+0h	W	Данные для передачи
+4h	R/W	Слово управления 0
+8h	R/W	Слово управления 1
+ch	R/W	Слово управления 2
+10h	R/W	Состояние порта и управление прерываниями

Таблица 31 - Слово управления 0 SPORT TX

Бит	Операция	Имя	Описание
0	R/W	Clk_pol_tx	Полярность тактового сигнала 0 – сдвиг данных по положительному фронту, 1 – по отрицательному.
1	R/W	Clk_out_tx	Разрешение работать выводу тактовой частоты на выход, если 1.
2	R/W	Clk_inv_tx	Инвертирование входной частоты, если = 1
3	R/W	Clk_sel_tx	Переключение источника тактирования последовательного порта, = 0 – внутренний источник тактирования, = 1 – тактирование от ноги CLK_TX.
4	R/W	Frame_sel_tx	Выбор типа сигнала Frame. = 0 – frame на всю посылку, = 1 – только на первый бит посылки.
5	R/W	Frame_pol_tx	Выбор полярности Frame, = 0 – положительной полярности, = 1 – отрицательной полярности.
6	R/W	Frame_out_tx	Разрешение работать выводу Frame на выход, если 1.
7	R/W	Frame_inv_tx	Инвертирование входного Frame сигнала.
8	R/W	LSB	= 1 – передаем первым старший бит, = 0 – младший бит.
9	R/W	Mode	= 0 – однократная передача, = 1 – повторяющаяся передача.
10	R/W	I2S	= 1 – порт в режиме I2S передачи (для нечетных посылок фрейм = 1, для четных = 0)
11	R/W	Start	Запуск передачи
13:12	R/W	Start_sel_tx[0]	= 0 – непрерывный Frame rate по запуску start, = 1 – одиночный запуск по start.
		Start_sel_tx[1]	= 0 – запуск передачи внутренний, = 1 – запуск передачи от ноги Frame.
14	R	reserved	
19:15	R/W	word_len	Длина посылки одного слова (5 бит) 2^N-1
30:20	R/W	TRESH_in_tx	Значение порога передающего буфера
31	R/W	Rst_data	Сброс FIFO последовательного порта

Таблица 32 - Слово управления 1 SPORT TX

Бит	Операция	Имя	Описание
11:0	R/W	Divider	Делитель внутренней частоты для формирования тактовой частоты порта
23:12	R/W	frame_rate	Формирование импульсов для запуска передачи в непрерывном режиме (Start_sel_tx[0] = 0). Частота тактирования порта делится на коэф. от 3 до 4096, код изменяется от 2 до 4095. $F_{frame} = clk / Divider / (Frame_rate + 3)$.

Бит	Операция	Имя	Описание
28:24	R/W	Frame_count	Число посылок за один старт в режиме TDMI (5 бит) 2^N-1
29	R/W	Frame_type	0 – ранняя кадровая синхронизация (начало за 1 такт до data), 1 – поздняя (начало вместе с data)
31	R/W	rst	Сброс передатчика

Таблица 33 - Слово управления 2 SPORT TX

Бит	Операция	Имя	Описание
0	R/W	SPORT_enbl	= 1 разрешение работы SPORT_tx, иначе = 0
1	R/W	DMA_enbl	= 1 разрешение DMA, иначе = 0
31:3	R	reserved	

Таблица 34 - Слово состояний и управления прерываниями SPORT TX

Бит	Операция	Имя	Описание
0	R	Busy	Порт занят передачей
1	R	FF_data	Буфер полон
2	R	OVF_data	Переполнение передающего буфера
3	R	EMP_data	Передающий буфер пуст
4	R	TH_data	Срабатывание порога передающего буфера
5	R	Int_DMA	Прерывание от DMA
6	R	reserved	
7	R	reserved	
8	R/W	FF_en	Разрешение прерывания при «Буфер полон»
9	R/W	OVF_en	Разрешение прерывания при «Буфер переполнен»
10	R/W	EMP_en	Разрешение прерывания при «Буфер пуст»
11	R/W	TH_en	Разрешение прерывания при «Срабатывание порога буфера»
31:12	R	Reserved	

2.3.1.9 Приемник

Базовые адреса находятся на шине по 0x120 (SPORT RX0), 0x160 (SPORT RX1).

Таблица 35 - Карта памяти SPORT RX

Адрес	Операция	Описание
+0h	R	Чтение данных из FIFO
+4h	R/W	Слово управления 0
+8h	R/W	Слово управления 1
+ch	R/W	Слово управления 2
+10h	R/W	Состояние порта и управления прерываниями
+14h	R	Чтение приемного регистра данных
+1ch	R/W	Настройка TDMI

Таблица 36 - Слово управления 0 SPORT RX

Бит	Операция	Имя	Описание
0	R/W	Clk_pol_rx	Полярность тактового сигнала 0 – сдвиг данных по положительному фронту, 1 – по отрицательному
1	R/W	Clk_out_rx	Разрешение работать выводу тактовой частоты на выход, если 1
2	R/W	Clk_inv_rx	Инвертирование входной частоты, если =1
3	R/W	Clk_sel_rx	Переключение источника тактирования последовательного порта, =0 – внутренний источник тактирования, = 1 – тактирование от ноги CLK_RX
4	R/W	Frame_sel_rx	Выбор типа сигнала Frame. = 0 – frame на всю посылку, =1 – только на первый бит посылки
5	R/W	Frame_pol_rx	Выбор полярности frame, = 0 – положительной полярности, =1 – отрицательной полярности
6	R/W	Frame_out_rx	Разрешение работать выводу frame на выход, если 1
7	R/W	Frame_inv_rx	Инвертирование входного frame сигнала
8	R/W	MSB	=1 – принимаем первым старший бит, =0 – младший бит
9	R/W	Mode	= 0 – прием по перепаду frame, =1 – прием по уровню frame (задержка на 1 такт)
10	R/W	I2S	=1 – порт в режиме I2S приема (для нечетных посылок фрейм = 1, для четных = 0)
11	R/W	Start	Принудительны запуск приема с одновременной генерацией frame
12	R	reserved	
13	R	reserved	
14	R	reserved	
19:15	R/W	word_len	Длина посылки одного слова (5 бит) 2^N-1
30:20	R/W	tresh_in_rx	Порог срабатывания FIFO
31	R/W	Rst_data	Сброс FIFO последовательного порта

Таблица 37 - Слово управления 1 SPORT RX

Бит	Операция	Имя	Описание
11:0	R/W	Divider	Делитель внутренней частоты для формирования тактовой частоты порта
23:12	R/W	Frame_rate	Формирование импульсов для запуска приема в непрерывном режиме (int_frame_continue= 0). Частота тактирования порта делится на коэф. от 3 до 4096, код изменяется от 2 до 4095. $F_frame = clk / Divider / (Frame_rate + 3)$.
28:24	R/W	Frame_count	Число принимаемых слов за один frame в режиме TDMI (5 бит) 2^N-1
29	R/W	int_frame_continue	1 – непрерывная генерация framerate, 0 – однократная по биту старт.
31	R/W	rst	Сброс приёмника

Таблица 38 - Слово управления 2 SPORT RX

Бит	Операция	Имя	Описание
0	R	reserved	
1	R/W	DMA_enbl	=1 DMA разрешен, =0 – запрещен
31:2	R	reserved	

Таблица 39 - Слово состояния SPORT RX

Бит	Операция	Имя	Описание
0	R	Busy	Порт занят приемом данных
1	R	FF_data	Буфер полон
2	R	OVF_data	Переполнение принимающего буфера
3	R	EMP_data	Принимающий буфер не пуст
4	R	TH_data	Срабатывание порога принимающего буфера
5	R	DMA_rx	Прерывание от DMA
6	R	reserved	
7	R	reserved	
8	R/W	FF_en	Разрешение прерывания при «Буфер полон»
9	R/W	OVF_en	Разрешение прерывания при «Буфер переполнен»
10	R/W	EMP_en	Разрешение прерывания при «Буфер не пуст»
11	R/W	TH_en	Разрешение прерывания при «Срабатывание порога буфера»
12	R/W	Int_DMA_en	Разрешение прерывания DMA
15:13	R	Reserved	
26:16	R	data_count	Количество данных в FIFO.
31:27	R	Reseved	

Таблица 40 - Настройка TDMI

Бит	Операция	Имя	Описание
31:0	R/W	tdmi_en	Битовое поле, установка 1 в битовом поле разрешает прием этого слова при TDMI режиме приема порта. Максимальное число слотов в TDMI режиме 32.

2.3.1.10 Последовательный порт тип 3 (UART)

Последовательный порт тип 3 (UART) представляет собой 4 порта, программно-совместимых со стандартным приемопередатчиком 16550A.

Базовые адреса находятся на шине: 0x180 (UART 0), 0x1A0 (UART 1), 0x1C0 (UART 2), 0x1E0 (UART 3).

Таблица 41 - Карта памяти UART

Адрес	Операция	Описание
+0h	R	Принимающий буфер
+0h	W	Передающий буфер
+4h	R/W	Разрешение/ оповещение прерываний
+8h	R	Информация о прерывании
+8h	W	Управление FIFO
+ch	R/W	Управление связью
+10h	W	Управление модемом
+14h	R	Статус порта
+18h	R	Статус модема

2.3.1.11 Модуль таймеров

Представляет собой два набора счетчиков: счетчики (тип 1) функционально совместимые с 8254 (3 шт.), но с увеличенной разрядностью

счетчика до 32-х, и «простые» счетчики (тип 2) для выработки стробирующих импульсов (2 шт.).

Счетчики типа 1 позволяют работать в 5-ти режимах, функционально совместимых с 8254, имеют разрядность 32 бита, позволяют использовать в качестве тактирования несколько источников сигналов. Счетчики имеют отдельные входы защелкивания данных, а также общий вход защелкивания данных, позволяющий одновременно произвести считывание данных с трех счетчиков. Возможно построение схемы каскадного соединения счетчиков для формирования сложных последовательностей импульсов. Механизм доступа и управления каждым счетчиком представляет собой пару регистров: слово управления и состояния и слово данных. При записи слова данных осуществляется загрузка данных в счетчик. При чтении, считывание мгновенного состояния счетчика. При чтении слова данных с использованием битов защелкивания данных, считывается состояния защелкнутого счетчика. После чтения данных соответствующего счетчика (в защелкнутом состоянии) производится сброс бита защелкивания и разблокировка механизма защелкивания данных счетчика.

Счетчики типа 2 представляют собой 32-х разрядные вычитающие счетчики с загрузкой данных и формированием импульса переноса, возникающего при переполнении счетчика. Предназначены для формирования коротких (50 нс) стробирующих импульсов. Тактирование счетчиков производится от термокомпенсированного генератора, частотой 20 МГц, установленного на модуле. Возможно одновременное управление счетчиками для получения синхронных импульсных последовательностей. Механизм доступа и управления счетчиками представляет собой следующие регистры: слово управления и состояния и слово данных. При записи слова данных осуществляется загрузка данных в счетчик. Слово управления и состояния одно на оба счетчика и позволяет одновременно или отдельно загрузить данные в счетчики, инвертировать выходной сигнал от счетчиков, а также остановить или запустить счетчики одновременно или отдельно. Чтение данных со счетчиков не предусмотрено.

Базовый адрес находится на шине 0x060.

Таблица 42 - Карта памяти модуля таймеров

Адрес	Описание
+0h	Данные для счетчика 0, типа 1 (R\W)
+4h	Слово управления и состояния счетчика 0, типа 8254 (R\W)
+8h	Данные для счетчика 1, типа 1 (R\W)
+ch	Слово управления и состояния счетчика 1, типа 8254 (R\W)
+10h	Данные для счетчика 2, типа 1 (R\W)
+14h	Слово управления и состояния счетчика 2, типа 8254 (R\W)
+18h	Данные для тактовых счетчиков 0 и 1 типа 2, (W)
+1ch	Слово управления тактовыми счетчиками 0 и 1 типа 2 (R\W)

Таблица 43 - Слово управления и состояния счетчика, типа 1

Бит	Операция	Описание
4:2	R/W	Режима работы счетчика:
		0 прерывание терминального счета
		1 ждущий мультивибратор
		2 генератор импульсов
		3 генератор каскада
		4 одиночный программно-управляемый строб
5 одиночный аппаратно-запускаемый строб		
6:5	R/W	Выбор входа тактирования счетчика:
		0 внутренний тактовый сигнал (20 МГц)
		1 внутренний тактовый сигнал (50 МГц)
		2 внешний тактовый сигнал
3 0		
8:7	R/W	Выбор подключения входа GATE:
		0 GATE = 1
		1 GATE = OUT1 (для счетчика 0) или OUT0 (для счетчика 1 и 2)*
		2 GATE = OUT2 (для счетчика 0 и 1) или OUT1 (для счетчика 2)*
3 GATE внешний		
9	R/W	Защелкивание выбранного счетчика
10	R/W	Защелкивание данных по всем счетчикам
11	R/W	Инвертирование выхода счетчика
12	R/W	Разрешение прерывания данного счетчика
13	R	Флаг прерывания после чтения регистра сбрасывается
14	R/W	Разрешение работы данного счетчика
15	W	Сброс счетчика (бит сбрасывается автоматически)
16	R/W	Условие возникновения прерывания: 0 – положительный, 1 – отрицательный фронт выхода счетчика
30	W	Сброс всех счетчиков
31	R	Состояние выхода счетчика

* OUT0..1 – выход счетчика

Таблица 44 - Слово управления и состояния счетчиков типа 2

Бит	Описание
0	Разрешение счета счетчику 0
1	Принудительная загрузка данных в счетчик 0*
2	Полярность выходного сигнала счетчика 0. 0 - положительный импульс, 1 – отрицательный
3	Установка данного бита в 1 разрешает запись данных для загрузки счетчика 0. Т.е., чтобы загрузить данные в счетчик, надо установить бит в 1 и произвести запись данных в регистр данных для тактовых счетчиков. Если требуется произвести запись в оба счетчика одновременно, то следует установить биты 3 и 7, а затем произвести запись в регистр +18h.
4	Разрешение счета счетчику 1
5	Принудительная загрузка данных в счетчик 1*
6	Полярность выходного сигнала счетчика 1. 0 - положительный импульс, 1 – отрицательный
7	Установка данного бита в 1 разрешает запись данных для загрузки счетчика 1.

* При запуске счётчика бит принудительной загрузки данных должен устанавливаться одновременно с битом разрешения счёта. Бит автоматически сбрасывается.

2.3.1.12 Шина Wishbone

Шина Wishbone представляет собой 32 разрядную параллельную шину. Дополнительную информацию о работе шины можно найти по адресу <https://ru.wikipedia.org/wiki/Wishbone>.

Базовый адрес находится на шине 0x0400.

2.3.1.13 Контроллер DMA

Общая структура DMA контроллера показана на рисунке 23.

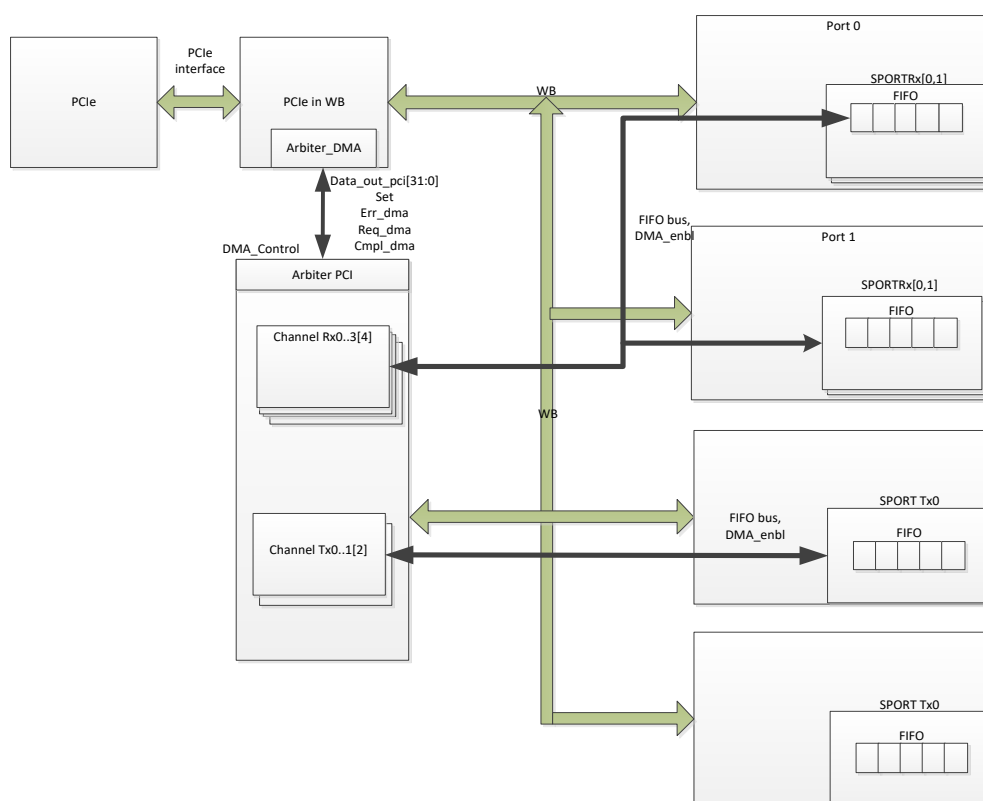


Рисунок 23 - Общая структура DMA контроллера

В состав DMA входят 6 каналов: 4 «dma_rx» – на каждый приемный порт SPORT Rx от каждого мезонина и 2 «dma_tx» – один передающий SPORT Tx для каждого мезонина. Каждый канал независимый и позволяет производить операцию передачи данных из приемного буфера FIFO порта SPORT Rx в канал PCI и из канала PCI в выходной буфер SPORT Tx. Так как канал PCI один, производится арбитраж запросов от всех каналов.

Для включения (выключения) каналов «dma_rx», необходимо в регистр SPORT Rx (слово управления 2, адрес +ch) в бите 1 установить 1(0). Для включения (выключения) каналов «dma_tx», необходимо в регистр SPORT Tx (слово управления 2, адрес +ch) в бите 1 установить 1(0). (1 - включение, 0 – выключение). Для корректной работы SPORT TX в режиме DMA, необходимо в слове управления 0 в бите [12] (start_sel_tx[0]) установить 0. В этом случае (при

условии разрешения работы SPORT и DMA), передача будет автоматически начинаться, если в FIFO есть данные. Запись 1 в бит start (слово управление 0, бит [11]) необходимо только один раз, после настройки скорости передачи. Если в бите [12] (start_sel_tx[0]) установлена 1, то start (слово управление 0, бит [11]) необходимо устанавливать каждый раз, когда необходима передача.

Для корректной работы, обновления записей в адресациях DMA каналов необходимо делать при выключенных каналах (в соответствующих битах стоит 0).

Базовый адрес находится на шине 0x200.

Таблица 45 - Адресное пространство

Адрес	Операция	Имя	Описание
Канал dma_rx0			
+0x0	R/W	dma_addr_lo_rx0	[31:0] нижние 32 бита адреса физ. памяти хоста
+0x4	R/W	dma_addr_hi_rx0	[31:0] верхние 32 бита адреса физ. памяти хоста
+0x8	R/W	dma_dwcount_rx0	[10:0] длина транзакции 32-х разрядных слов
+0xc	R/W	dma_cntrl_rx0	[3:0] управляющее слово
+0x10	R/W	dmad_addr_lo_rx0	[31:0] нижние 32 бита адреса физ. памяти начального дескриптора
+0x14	R/W	dmad_addr_hi_rx0	[31:0] верхние 32 бита адреса физ. памяти начального дескриптора
+0x18	R/W	dmad_count_rx0	[7:0] количество дескрипторов
+0x1c	R/W	cur_dmad_count_rx0	[7:0] текущий дескриптор
Канал dma_rx1			
+0x20	R/W	dma_addr_lo_rx1	[31:0] нижние 32 бита адреса физ. памяти хоста
+0x24	R/W	dma_addr_hi_rx1	[31:0] верхние 32 бита адреса физ. памяти хоста
+0x28	R/W	dma_dwcount_rx1	[10:0] длина транзакции 32-х разрядных слов
+0x2c	R/W	dma_cntrl_rx1	[3:0] управляющее слово
+0x30	R/W	dmad_addr_lo_rx1	[31:0] нижние 32 бита адреса физ. памяти начального дескриптора
+0x34	R/W	dmad_addr_hi_rx1	[31:0] верхние 32 бита адреса физ. памяти начального дескриптора
+0x38	R/W	dmad_count_rx1	[7:0] количество дескрипторов
+0x3c	R/W	cur_dmad_count_rx1	[7:0] текущий дескриптор
Канал dma_tx			

Адрес	Операция	Имя	Описание
+0x40	R/W	dma_addr_lo_tx0	[31:0] нижние 32 бита адреса физ. памяти хоста
+0x44	R/W	dma_addr_hi_tx0	[31:0] верхние 32 бита адреса физ. памяти хоста
+0x48	R/W	dma_dwcount_tx0	[10:0] длина транзакции 32-х разрядных слов
+0x4c	R/W	dma_cntrl_tx0	[3:0] управляющее слово
+0x50	R/W	dmad_addr_lo_tx0	[31:0] нижние 32 бита адреса физ. памяти начального дескриптора
+0x54	R/W	dmad_addr_hi_tx0	[31:0] верхние 32 бита адреса физ. памяти начального дескриптора
+0x58	R/W	dmad_count_tx0	[7:0] количество дескрипторов
+0x5c	R/W	cur_dmad_count_tx0	[7:0] текущий дескриптор

Таблица 46 - Структура управляющего слова `dma_cntrl`

Бит	Операция	Имя	Описание
0	R/W	run	Запуск
1	R/W	inten	Разрешение прерывания
2	R/W	chain	Разрешение на загрузку данных из RAM
3	R/W	cont	Продолжение

- *run* – запуск DMA контроллера;
- *inten* – генерация прерывания после выполнения текущего дескриптора;
- *chain* – загрузка `dma_addr_lo`, `dma_addr_hi`, `dma_dwcount` и `dma_cntrl` из памяти (формируется запрос PCIe на чтение);
- *cont* – если стоит 0, то автомат DMA, уже с настроенным адресом данных и регистром управления, остается в режиме ожидания флага от SPORT (порога). Передача данных не начнется, если этот бит не установить, записав 1.

Для начала необходимо произвести настройки адреса начального дескриптора, для чего заполняются значения `dmad_addr_lo`, `dmad_addr_hi` и указать общее количество дескрипторов (N-1) `dmad_count`. После осуществлении текущей транзакции, если `dmad_count > 0` происходит обращение к следующему дескриптору (Адрес следующего значения = Текущее значение +16). Если обнаруживается конец списка дескрипторов (`dmad_count = cur_dmad_count`), тогда происходит возврат к начальному.

Для старта DMA транзакции необходимо в слове «`dma_cntrl`» в бит «`run`» записать значение 1. В этом случае, если бит «`chain`» =0, тогда значения `dma_addr_lo`, `dma_addr_hi`, `dma_dwcount` и `dma_cntrl` берутся из записанных в регистры DMA каналов. Если бит «`chain`» = 1, тогда происходит чтение этих значений из адреса, указанного в текущем дескрипторе. Текущее значение дескриптора вычисляется как:

$\{dmat_addr_hi_cur, dmat_addr_lo_cur\} = \{dmat_addr_hi, dmat_addr_lo\} + 16 \times cur_dmat_count$, где

$dmat_addr_hi_cur$ (старшие 32 бита адреса (в 64 битных системах)) и $dmat_addr_lo_cur$ (младшие 32 бита адреса) – текущее значение адреса дескриптора (в регистрах не отображается),

$dmat_addr_hi$ и $dmat_addr_lo$ – адрес начального дескриптора (отображается в регистрах со смещением 0x14 и 0x10),

cur_dmat_count – номер текущего дескриптора (значение 0 – начальный).

Чтение $dmat_addr_lo$, $dmat_addr_hi$, $dmat_dwcount$ и $dmat_cntrl$ происходит как запрос по PCI на чтения из памяти 4х слов по адресу $\{dmat_addr_hi_cur, dmat_addr_lo_cur\}$. Данные значения записываются в соответствующие регистры DMA каналов. Данные из регистра $dmat_dwcount$ (длина транзакции 32х разрядных слов, т.е. количество принимаемых слов через SPORT RX) подставляются в биты [30:20] регистра управления 0 SPORT-а RX (порог срабатывания FIFO). Порог срабатывания FIFO для SPORT TX берется из битов [30:20] регистра управления 0 SPORT-а. После срабатывания порога в FIFO SPORT-а: 1) для приемных каналов (связанных с SPORT_RX) – происходит запись числа слов, указанных в $dmat_dwcount$, из FIFO в память, по адресу, указанному в $dmat_addr_lo$, $dmat_addr_hi$ (формируется запрос по PCI на запись в память); 2) для передающих каналов (связанных с SPORT_TX) – происходит чтение из памяти по адресу, указанному в $dmat_addr_lo$, $dmat_addr_hi$, и запись в FIFO SPORT-а числа слов, указанных в $dmat_dwcount$ (формируется запрос по PCI на чтение из памяти).

После осуществлении текущей транзакции, если значение в бите «chain» равно 0, бит «run» сбрасывается (регистр $dmat_cntrl$). Для построения цепочки DMA транзакций, необходимо в бите «chain» установить значение 1. В этом случае после окончания текущей транзакции происходит считывание следующего дескриптора из RAM. Чтобы произвести единичную транзакцию необходимо в текущих значениях дескриптора в слове « $dmat_cntrl$ » установить бит «run» в 1, бит «chain» в 0.

При возникновении прерывания, в регистре «состояния и управление прерываниями» SPORT-а отобразится «1» в бите «прерывание DMA». Сбрасывается прерывание по чтению регистра «состояния и управление прерываниями» в SPORT-е.

Все транзакции по DMA осуществляются 32-х разрядными словами.

Так как канал PCI один, то происходит арбитраж запросов DMA по каналам. Первым обрабатывается первый пришедший запрос. Следующий запрос возможен только при завершения текущего. Если одновременно приходит

несколько запросов, то обработка согласно приоритетам (0 – высший приоритет).

Таблица 47 - Приоритеты запросов по PCI

Мезонин	SPORT	Приоритет
0	Rx0	0
	Rx1	1
1	Rx0	2
	Rx1	3
0	Tx0	4
1	Tx1	5

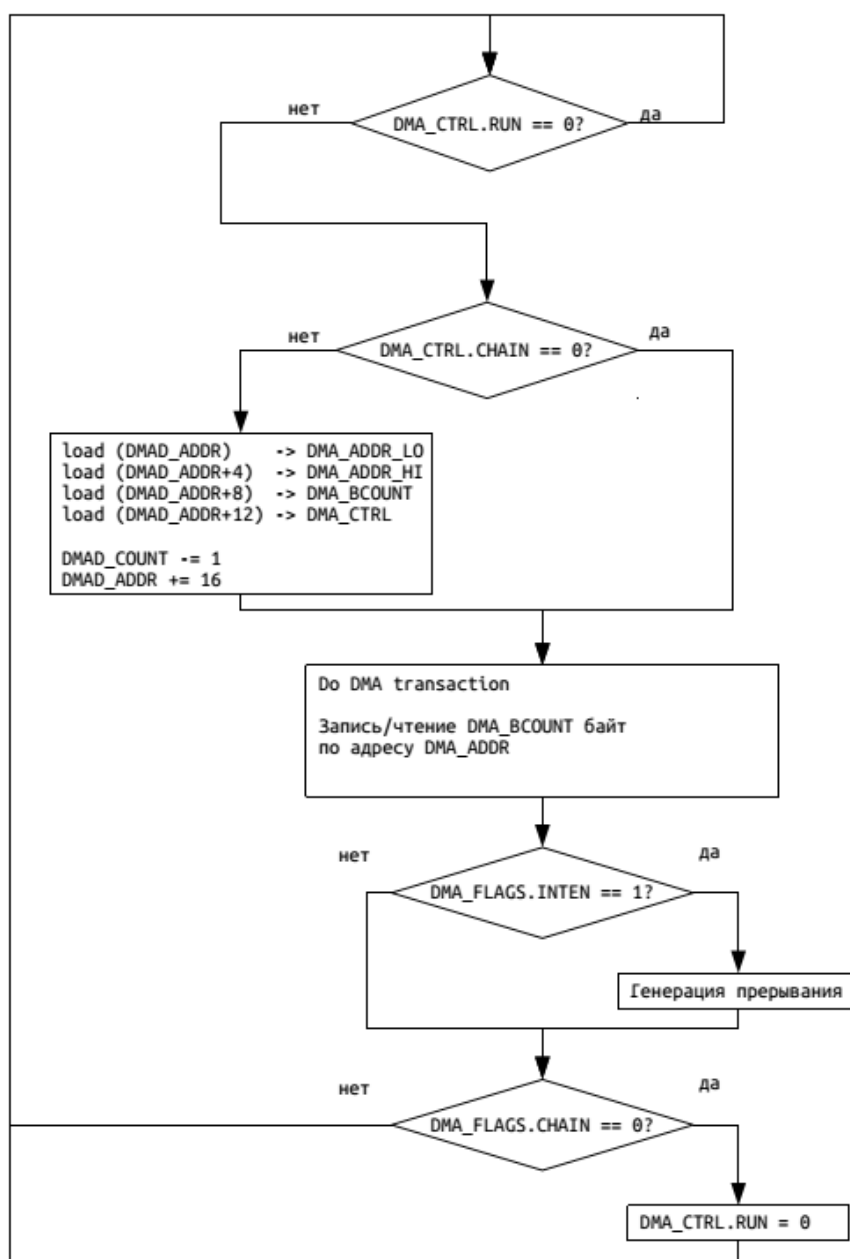


Рисунок 24 - Упрощенный алгоритм работы DMA

2.3.1.14 Порт программирования Config-Flash ПЛИС

Базовый адрес находится на шине 0x804. В модуле предусмотрена возможность программирования загрузочной Flash-памяти FPGA через интерфейс PCI, при условии, что в FPGA уже загружена конфигурация (было осуществлено первоначальное программирование). Первоначальное программирование загрузочной Flash-памяти должно выполняться через JTAG.

Программирование происходит программным эмулированием интерфейса SPI.

Представляет собой 4-х битный регистровый цифровой ввод/вывод. Значение записываемые в регистр подаются/берутся на/от соответствующего выхода/входа FPGA.

Таблица 48 - Значение битов регистра Config_SPI

Бит	Операция	Имя	Описание
0	R	MISO	Data in
1	R/W	CS	Chip select
2	R/W	CLK	Clock
3	R/W	MOSI	Data out

3 Использование по назначению

3.1 Подготовка изделия к использованию

3.1.1 Установка драйвера

В данном разделе описывается драйверная часть для ОС Linux.

Драйвер для DIC552 и DIC553 один, единственное отличие в том, что при установке DIC553, будут фактически определяться как 2 устройства.

Чтобы установить драйвер распакуйте архив dic551-bsp_ГГГММДД.tar.gz из документа ИМЕС.467444.068ВН1 (версия не ниже v1.8), где ГГГММДД – версия пакета программной поддержки, и следуйте инструкциям в файле README.pdf в корне полученной директории.

В процессе установки потребуется компиляция модулей ядра, в системе должны быть установлены заголовочные файлы и инструменты разработчика. Для получения общей информации о процессе установки модулей ядра можно воспользоваться документацией Linux:

<https://www.kernel.org/doc/Documentation/kbuild/modules.txt>

Более подробная информация о составе пакета программной поддержки, принципах функционирования и доступа к мезонинам описана в документе «Руководство системного программиста» ИМЕС.467444.068И12 (DIC551) (на компакт-диске, входит в комплект поставки).

3.1.2 Информация о видах опасных воздействий

Модуль конструктивно безопасен для жизни и здоровья человека при использовании в заданных условиях эксплуатации и не содержит источников вредных воздействий.

3.1.3 Общие требования

Все монтажные и подготовительные работы с модулем и подключаемым к нему устройствам производить только при отключенном питании устройств и отсутствии напряжений на разъемах модуля.

Внимание!

Необходимо строго соблюдать общие требования при подготовке модуля к использованию во избежание выхода модуля из строя!

3.1.4 Требование электростатической безопасности

В соответствии ГОСТ Р МЭК 60950-2002 (для оборудования, подключаемого к электросети напряжением до 600 В). Все монтажные и подготовительные работы, замены элементов и обслуживание модуля производить только с использованием специальных инструментов и технических приспособлений (например, электростатических браслетов и др.), свободных от статического заряда электричества и свойств намагничивания.

Внимание!

Модуль содержит компоненты, чувствительные к электростатическому разряду!

3.2 Использование изделия

В процессе работы модуль автоматически конфигурируется и не требует каких-либо регулировок и программных настроек.

3.3 Техническое обслуживание

Модуль не требует настройки и регулировки в течение всего срока эксплуатации.

3.4 Ремонт

Ремонт модуля должен осуществляться только в сервисных центрах фирмы-изготовителя ЗАО «НПФ «ДОЛОМАНТ».

Внимание!

Запрещается самостоятельно производить ремонт модуля.

4 Транспортирование, распаковка, хранение

4.1 Транспортирование

Модули должны транспортироваться в отдельной упаковке (таре) предприятия-изготовителя, состоящей из индивидуального антистатического пакета и картонной коробки, в закрытом транспорте (автомобильном, железнодорожном, воздушном в отапливаемых и герметизированных отсеках) в условиях хранения 5 по ГОСТ 15150-69 или в условиях хранения 3 при морских перевозках.

Допускается транспортирование модулей, упакованных в индивидуальные антистатические пакеты, в групповой упаковке (таре) предприятия-изготовителя.

Транспортирование упакованных модулей должно производиться в соответствии с правилами перевозок грузов, действующими на данном виде транспорта.

Во время погрузочно-разгрузочных работ и транспортирования, упакованные модули не должны подвергаться резким толчкам, падениям, ударам и воздействию атмосферных осадков. Способ укладки упакованных модулей на транспортное средство должен исключать их перемещение.

4.2 Распаковка

При распаковке изделий необходимо соблюдать все меры предосторожности, обеспечивающие их сохранность, а также товарный вид потребительской тары предприятия-изготовителя.

При распаковке необходимо проверить изделия на отсутствие внешних механических повреждений после транспортирования.

4.3 Хранение

Условия хранения модулей 1 по ГОСТ 15150-69.

Приложение А (справочное)

Внешний вид модулей DIC552, DIC553

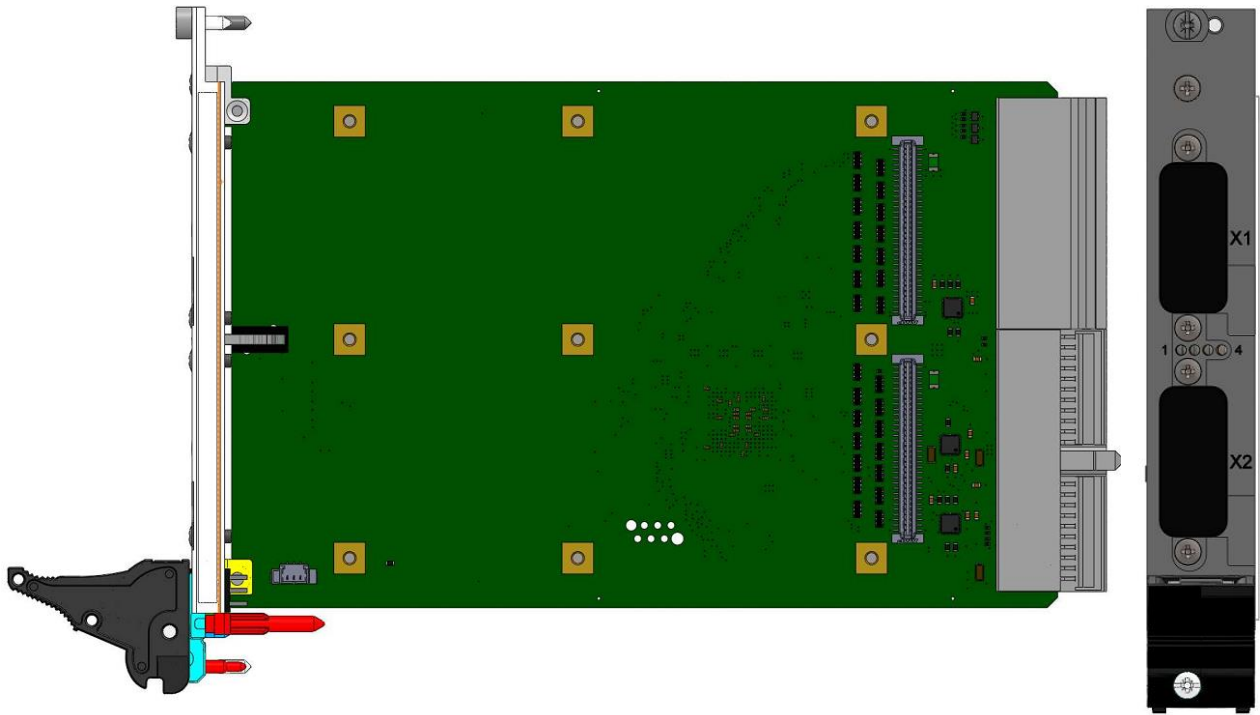


Рисунок А.1 – Внешний вид модуля DIC552

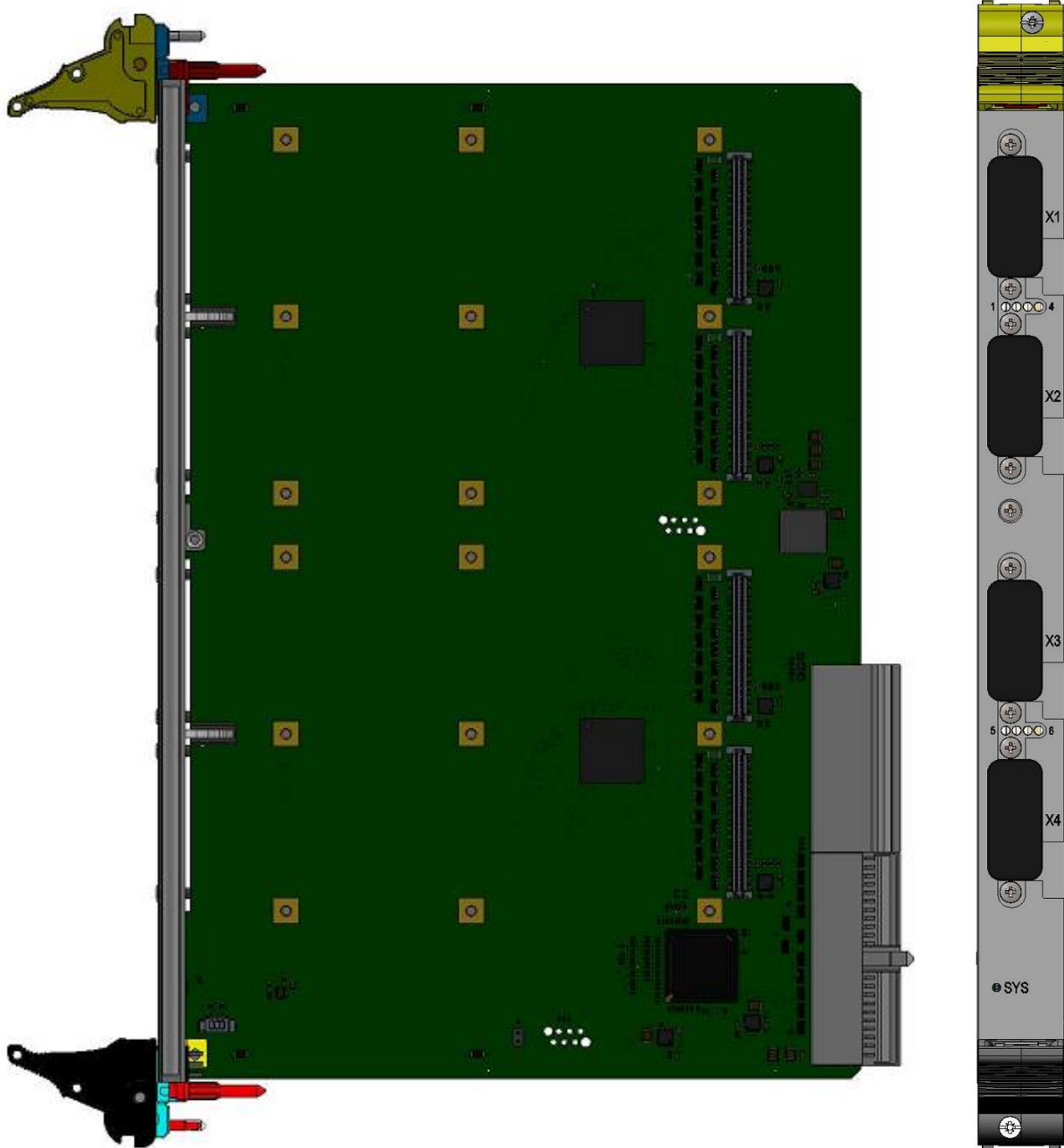


Рисунок А.2 - Внешний вид модуля DIC553

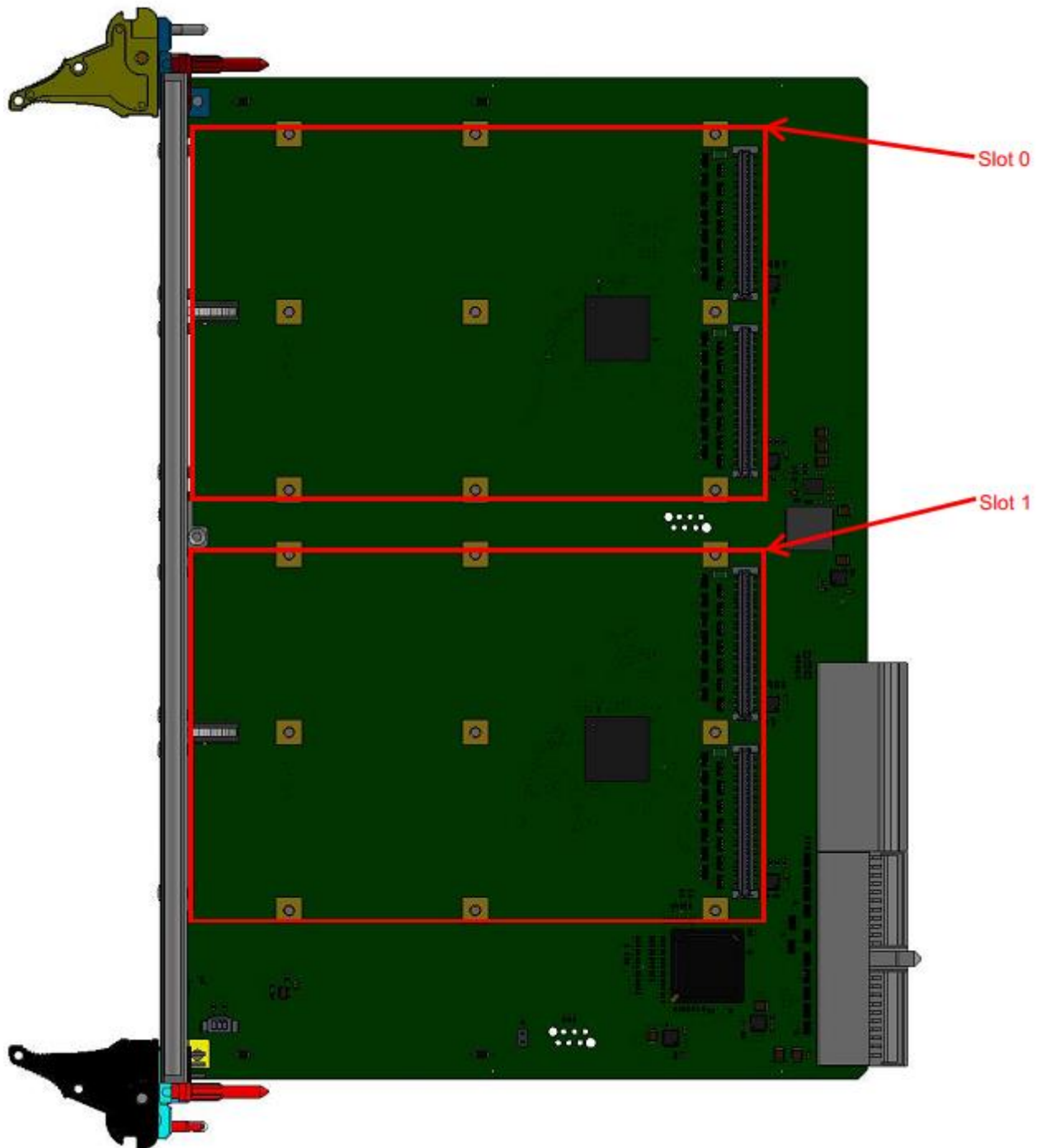


Рисунок А.3 - Позиция слотов на DIC553

Лист регистрации изменений									
Изм.	Номера листов (страниц)				Всего листов (страниц) в докум.	№ докум.	Входящий № сопр. докум. и дата	Подп.	Дата
	изменен- ных	заменен- ных	новых	аннули- рованных					
0.1	-	-	48	-	48	NC211151		Клейносов	09.11.2021
1.0	-	все	-	-	58	NC220403		Алексеева	19.05.2022
1.1	-	3,4,11,12	59-61	-	62	NC220677		Алексеева	03.08.2022
1.2	-	2-5, 10, 12- 14, 18, 26, 27, 57, 58	-	-	63	NC220995		Алексеева	13.10.2022